

Elektronische Speicher

Abgrenzung

Griechisch **elektron** mit Silber gemischtes Gold; Bernstein

Elektronik $\Leftrightarrow$ Elektrik, Elektrotechnik, Elektrochemie, Starkstromtechnik (Nachrichtentechnik)
 $\Leftrightarrow$ Tieftemperatur- und Quantentechnik

Zwei Kennzeichen

1. **Externe Steuerung elektrischer Ladungsträger**, wie Elektronen und Lochelektronen, jetzt auch **Spin**
Aber: gesteuerte Ionen, wie Elektro-Chemie, Glimmlampen usw. werden meist der Elektrik zugeordnet
2. Anwendung von sehr **wenig Energie** $\Leftrightarrow$ **Leistungs-Elektronik**

Wichtige Gebiete

- **Informations-Elektronik:** Speicherung, Verarbeitung und Übertragung kontinuierlicher oder diskreter (digitaler) Information (Daten, Signale oder Nachrichten)
- **Mikroelektronik:** unzerlegbare Zusammenfassung vieler elektrischer und elektronischer Bauelemente zu einer **Funktionseinheit**: Operations-, Leistungsverstärker, Spannungsstabilisator, logisches Gatter, sequentielle Schaltung, Speicherschaltkreis, Mikroprozessor und CCD-Matrix
- **Nachrichten-Elektronik:** elektronische Signal-, Datenübertragung über größere Entfernungen

Bauelemente

- **elektrisch** (passiv): Widerstand, Kondensator, Spule, Memristor, auch Transformator, Relais, Quarz, Motor, Schalter usw.
- **elektronisch** (aktiv, steuerbar): Transistor, Verstärker, Fotowiderstand und Laser, **historisch** Vakuumröhre, SEV, Bildröhre usw.
- **speicherfähig** (Zustand erhaltend): irreversible, hysteretische Eigenschaften, z.B. elektrisch, magnetisch, amorph $\leftrightarrow$ kristallin

Memristor = 4. Bauelement neben R, C und L

Bereits 1971 hatte LEON CHUA eine Theorie zum Memristor veröffentlicht
Dieses vierte passive Bauelement (neben Widerstand, Kapazität, Induktivität), folgt aus Symmetriebetrachtungen, bzgl.
 u, i, q, φ

Er kann durch keine Kombination der drei anderen erzeugt werden und wurde bisher nicht gefunden
Er ist ein elektrischer Widerstand, der seinen aktuellen Wert (wie die Kapazität) über eine eingebrachte Ladung speichert

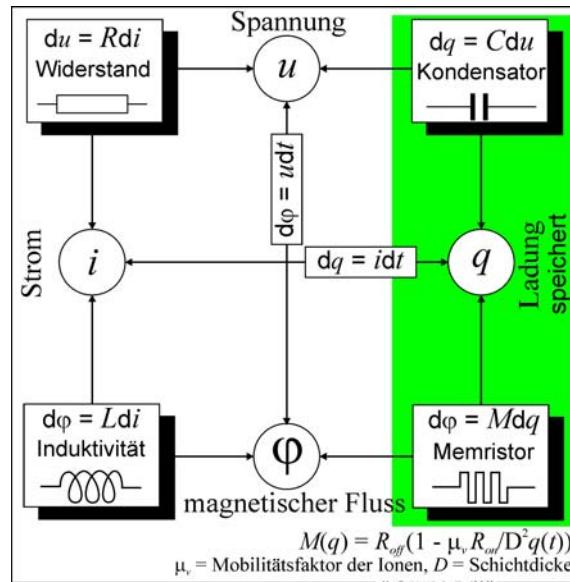
Er ermöglicht daher einen statischen Speicher, der ohne Stromzufuhr seinen Wert beibehält und im ps-Bereich schaltet

2008 wurde er erstmals mittels Nano-Strukturen bei Hewlett Packard: 17 Drähte aus je 150 Atomlagen aus TiO_2

Zwei nm-starke Layer. Einer hat einige O_2 weniger $\rightarrow \text{TiO}_{2-x}$, ist daher nicht mehr ein Isolator

Bis zur technischen Reife werden aber voraussichtlich noch viele Jahre vergehen

Nebenbei: aus „ähnlichen“ Überlegungen fordert PAUL DIRAC den magnetischen Mono-Pol, ist bis heute nicht nachgewiesen



25.11.2010

Seite 5 von 181

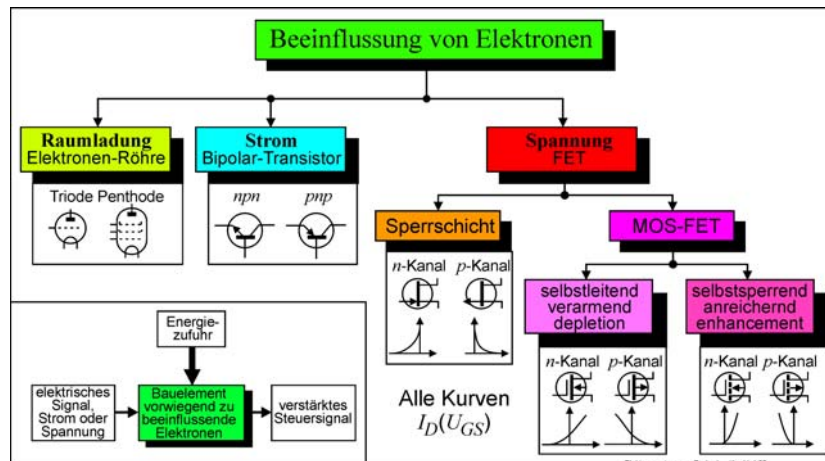
Eigenschaften	elementare Bauelemente	zusammengesetzte Bauelemente	außerelektronische Varianten	
elektrisch passiv	R, C, L, M	Transformator Filter R-Netzwerk	Feder	kontinuierlich
elektronisch aktiv, steuernd verstärken	Transistor Elektronen-Röhre	Verstärker Oszillator	Lautsprecher Mikrophon Optoelektronik	
speichernd aufzeichnend irreversibel nachhaltig zustand- erhaltend hysteretisch	ferroelektrisches Material Magnetmaterial Magnetband Ladung auf C	altes Studio- Bandgerät	Speicher- Becken Akkumulator, Reiß- Verschluss	
	FlipFlop (Ferritkern)	Speicher- Schaltkreis	Schalter, Halte-Relais, Hebdrh-Wähler	diskret, digital
	Thyristor	elektronischer Steuerschrank	Anzugsmagnet	
	(Diode)	Dioden-Netzwerk Kombin.-Schaltung	Taster	

25.11.2010

Seite 6 von 181

Elektronensteuerung

Mit einer Spannung oder einem Strom werden in einem Bauelement, z.B. Röhre oder Transistor Elektronen beeinflusst. Hierfür gibt es mehrere Varianten. Sie ermöglichen alle eine Verstärkung elektrischer Signale. Und durch Rückkopplung Schwingungserzeugung und Speicherzustände.



25.11.2010

Seite 7 von 181

Speicher-Zelle

Ist das zentrale Element aller (elektronischen) Speicher und existiert in drei Varianten:

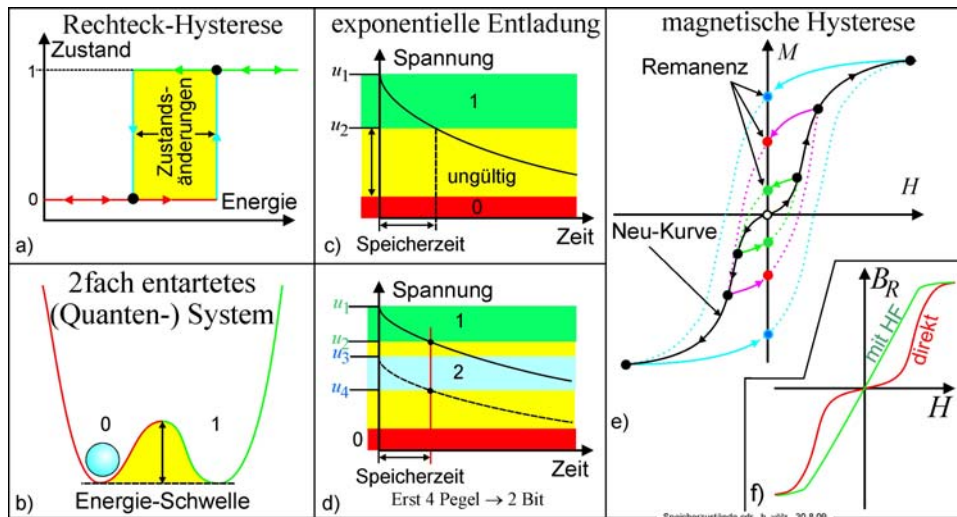
- Kontinuierlich** kann sie nahezu beliebig viele Ausprägungen annehmen und beibehalten, typisch hierfür ist die Ladung eines Kondensators oder ein „Speicherplatz“ auf einem Magnetband
- Diskret** kann sie mehrere unterschiedliche Werte. Eine mechanische Analogie ist ein Dreh-Schalter mit mehreren Stellungen. Meist wird die Speicherzelle aus kontinuierlichen Zellen mittels Toleranzbereiche gebildet, z. B. mehrstufige Flash-Speicher
- Digital** besitzt sie nur zwei Zustände, z. B. Flipflop oder Magnetkern

Ein **Speicher** ist aus mehreren Speicherzellen mit Zusatzelektronik aufgebaut

Kontinuierliche und diskrete Speicherzellen = Sonderfälle, **zunächst nur digitale** elektronische Speicher **behandelt**

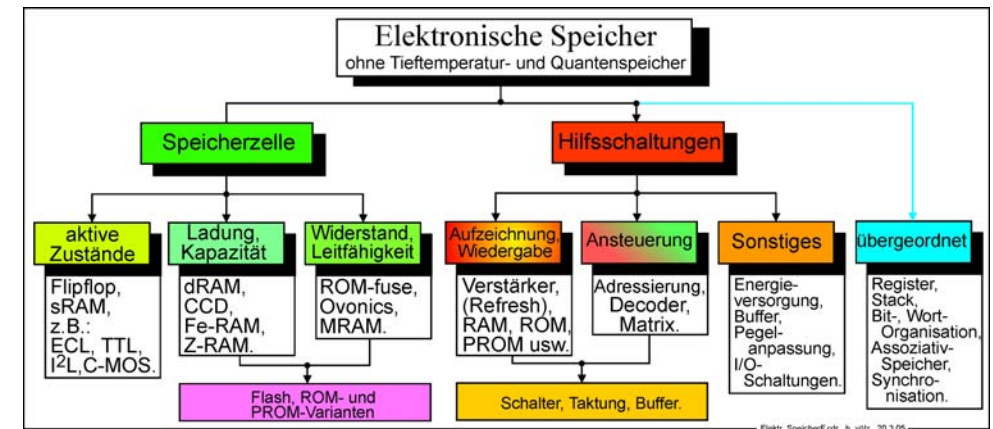
25.11.2010

Seite 8 von 181



25.11.2010

Seite 9 von 181



25.11.2010

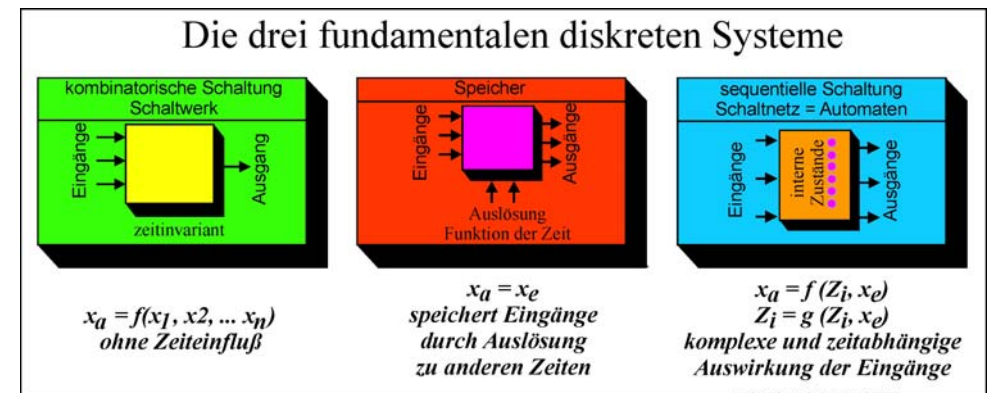
Seite 10 von 181

Begriffe der binären Technik	
kombinatorische Schaltung	sequentielle Schaltung
Synonyme z.T. mit etwas abweichender Bedeutung	
Schaltwerk, statische Logik, binäre Schaltung, Zuordner, Codierer.	Schaltnetz, Folge-Schaltung, dynamische Logik.
Theorien	
Schaltalgebra, Boolesche Algebra, formale Logik, Karnaugh-Diagramm	Automatentheorie, Petrinetze

kombinatorisch (lateinisch *combinatio* Vereinigung) sequentiell (*sequentia* Reihen- Folge).

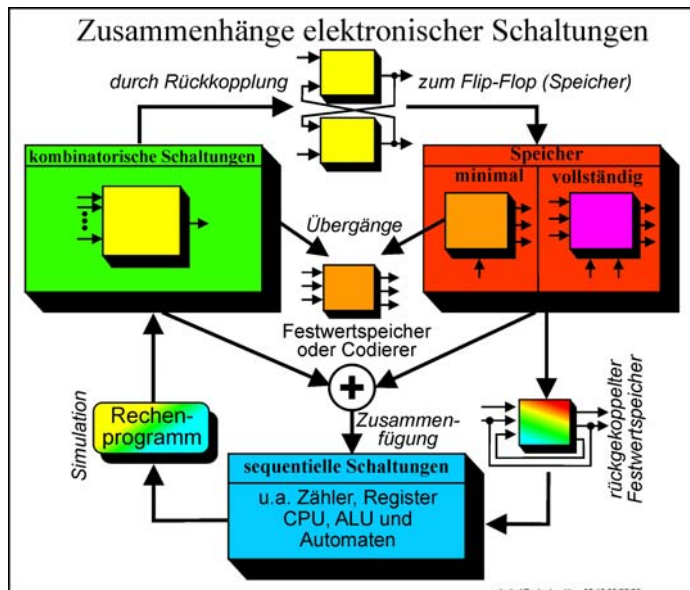
25.11.2010

Seite 11 von 181



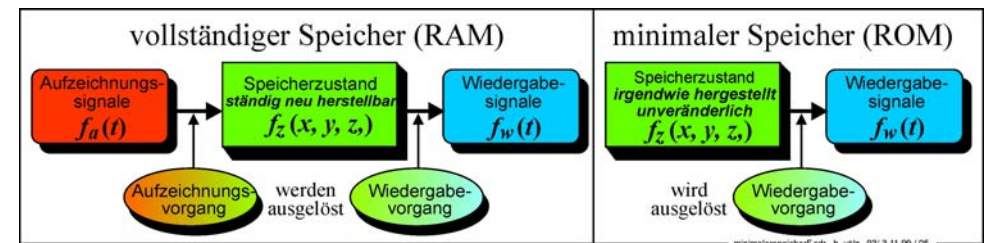
25.11.2010

Seite 12 von 181



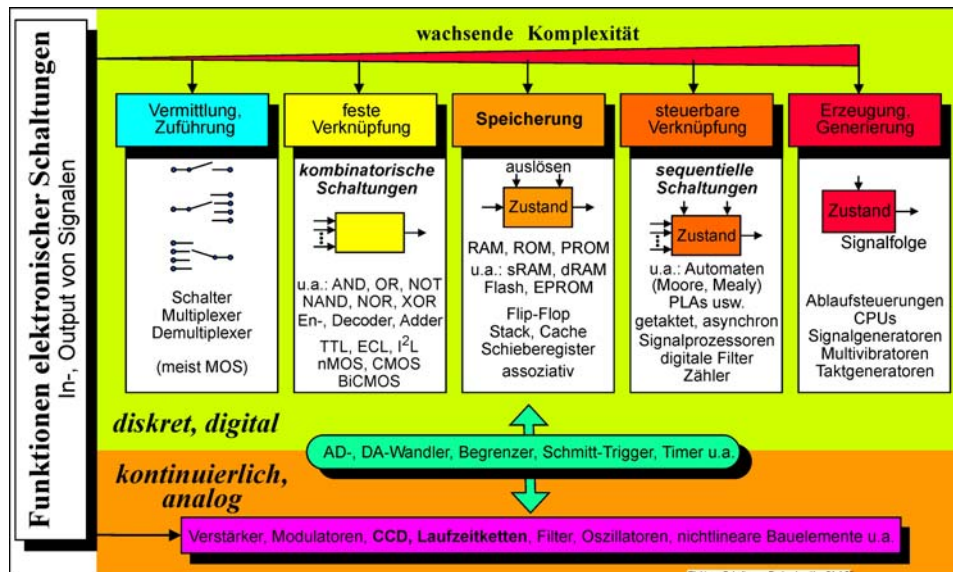
25.11.2010

Seite 13 von 181



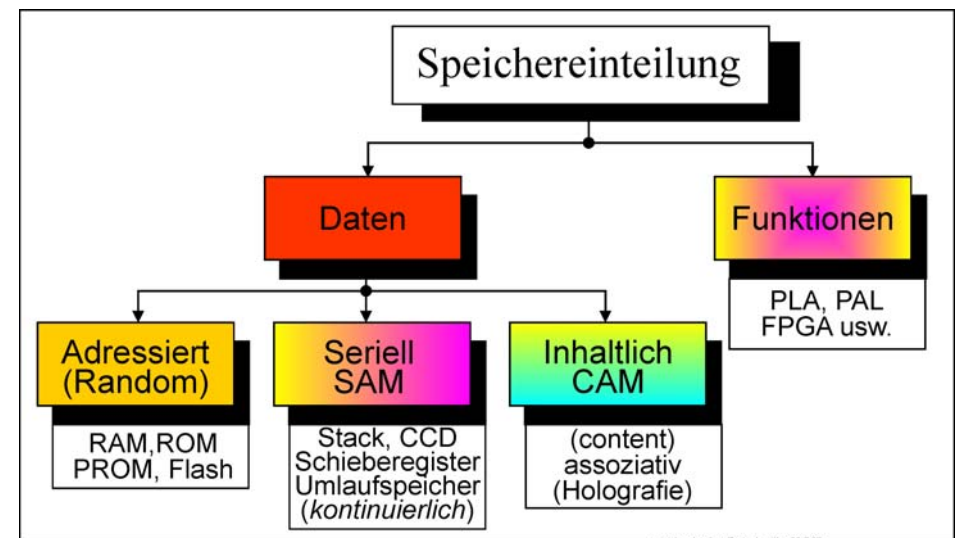
25.11.2010

Seite 14 von 181



25.11.2010

Seite 15 von 181



25.11.2010

Seite 16 von 181

Halbleiter- Grundlagen

25.11.2010

Seite 17 von 181

Drude-Theorie

Bei guten Leitern existiert annähernd ein freies Elektron je Atom
Die thermische Energie des Materials wirkt auf die frei beweglichen Elektronen und hält sie ständiger Bewegung
Geschwindigkeit und Bewegungsrichtung sind dabei statistisch verteilt, als Mittelwert für die Elektronen gilt

$$\frac{m_0 \cdot v_{th}^2}{2} = \frac{3}{2} \cdot k \cdot T \rightarrow v_{th} = \sqrt{\frac{3 \cdot k \cdot T}{m_0}}$$

v_{th} = mittlere Geschwindigkeit, $m_0 = 9,11 \cdot 10^{-24}$ g = Masse, $k = 1,38 \cdot 10^{-23}$ J·K⁻¹ = BOLTZMANN-Konstante, T = absolute Temperatur

Bei Zimmertemperatur (≈ 300 K) beträgt die thermische Energie $W_{th} = k \cdot T \approx 0,025$ eV $\rightarrow \approx 10^5$ m/s
Im Mittel stößt ein Elektron ca. 10^{15} -Mal/s mit einem Atomkern und anderen Elektronen zusammen, wird gestreut
In jedem cm³ erfolgen 10^{34} - 10^{38} Zusammenstöße je Sekunde $\rightarrow$ freie Weglänge $\lambda \approx 10^{-10}$ m, Stoßzeit $\tau = \lambda/v_{th}$
An der Oberfläche des Leiters bewirken sie Spannungsimpulse, thermisches Widerstandsrauschen

Elektrische Feldstärke E erteilt Elektronen mit $e_0 = 1,60 \cdot 10^{-11}$ A·s Beschleunigung b gemäß $m_0 b = e_0 E$.
Wird jedoch nur bis zum nächsten Zusammenstoß wirksam, infolge größerer Atom (-Kerne) statistisch verteilt
Wirkt als zusätzliche Bewegung $\rightarrow$ Stromwärme, durch das Feld bewirkte Bewegung (Signalgeschwindigkeit) gilt:

$$v_{tr} = -\frac{e_0 \cdot \tau}{m_0} \cdot E = -\mu \cdot E$$

μ = Beweglichkeit. Stromdichte ≈ 3 A/mm² folgt für Cu Geschwindigkeit $v_{tr} \approx 0,5$ mm/s.

25.11.2010

Seite 19 von 181

Elektronengas und Stromleitung

Zur Speicherung von Information sind nur Festkörper – nicht Flüssigkeiten oder Gase – wegen der notwendigen Stabilität verwendbar

Für elektronische Speicherung ist ihre Leitfähigkeit wichtig

Grob werden gute Leiter (meist Metalle) und Isolatoren unterschieden. Zwischen den Extremen existieren die Halbleiter

Die erste theoretische Erklärung gab CARL GEORG OSKAR DRUDE (1852 – 1933) mit dem hypothetischen Elektronengas

Die dichte Packung der Atome bewirkt, dass die äußeren Schalen der einzelnen Atome ineinander übergehen

Dadurch sind die Elektronen der äußersten Schale nicht mehr an die einzelnen Atome gebunden

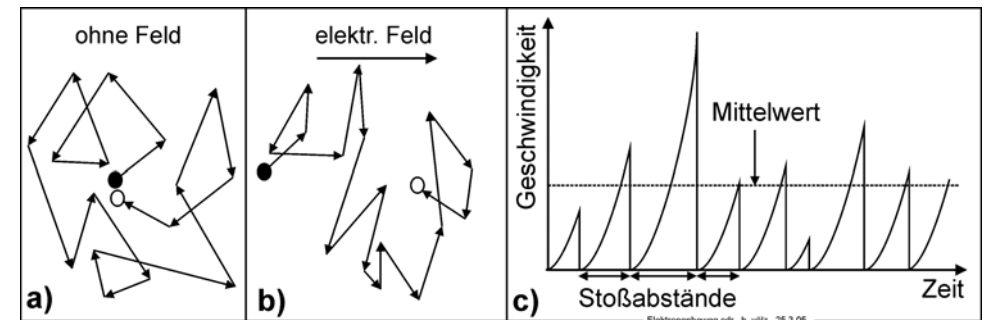
Sie können sich daher frei im Festkörper bewegen und verhalten sie sich ähnlich wie Atome oder Moleküle eines Gases

HENDRIK ANTOON LORENTZ (1853 – 1928) und ARNOLD JOHANNES WILHELM SOMMERFELD (1868 – 1951) verbesserten diese Theorie

Heute gilt noch genauer die Quantentheorie. Dennoch genügt oft die DRUDE-Theorie

25.11.2010

Seite 18 von 181



25.11.2010

Seite 20 von 181

Zum Bändermodell

Leiter vorwiegend Metalle, chem. Gruppen Ib (Cu, Ag, Au), II (Be, Mg, Zn, Cd, Hg), III (Al), IV (Sn, Pb) und V (Bi)
Elementare **Halbleiter** vorwiegend der IV. Gruppe (Si, Ge)

Obwohl äußerste Schale 4 Elektronen, gibt es für elektrische Leitfähigkeit sehr viel weniger Elektronen,
Im Gegensatz zu Leitern großer Einfluss der absoluten Temperatur T
Leitfähigkeit etwa proportional zu $e^T \rightarrow$ Gerade bezüglich $1/T$

Erklärung erfordert **Quantentheorie**. PAULI-Verbot (WOLFGANG PAULI; 1900 - 1958) mit 3 Quantenzahlen
Hauptquantenzahl (1, 2, 3 usw. bzw. K, L, M usw. = Schalen)
Dort Nebenquantenzahlen (Elektronenzustände) s, p, d usw. oder dem Spin ($\pm 1/2$) verschieden

Werden zwei Atome dichter zusammengefügt, so wird Kopplung schließlich so fest, dass ein gemeinsames Quantensystem entsteht

Es müssen Quantenzustände aufspalten: Erklärung: Bewegungsenergie oder Bandfilter

Aufspaltung hängt dabei vom Abstand ab. Nur die energiearmen Elektronen bleiben den Atomen zugeordnet (Tunneln möglich!)

Viele Atome zum Kristall ebenfalls ein einziges Quantensystem $\rightarrow$ Energieterm $\rightarrow$ Energieband. (DRUDE-Theorie)

25.11.2010

Seite 21 von 181

Energiebänder

Das **Valenzband** (*lateinisch valentia* Stärke, Kraft) = höchste Energieband, alle Terme voll besetzt

Reicht bis zur Energie W_V , und bestimmt chemische Eigenschaften der zugehörigen Hauptgruppe

Leitungsband darüber unvollständig mit Elektronen gefüllt oder enthält keine Elektronen, untere Energiegrenze W_L

verbotenes Band = Abstand zwischen Bandgrenzen, ist für Elektronen verboten, Energiebreite W_g (englisch gap)

Es ist entscheidend für die Temperaturabhängigkeit des elektrischen Verhaltens. ENRICO FERMI-Statistik (1901 - 1954)

$$f_F(W) = \frac{1}{1 + e^{\frac{W - W_F}{k \cdot T}}}$$

BOLTZMANN-Näherung:

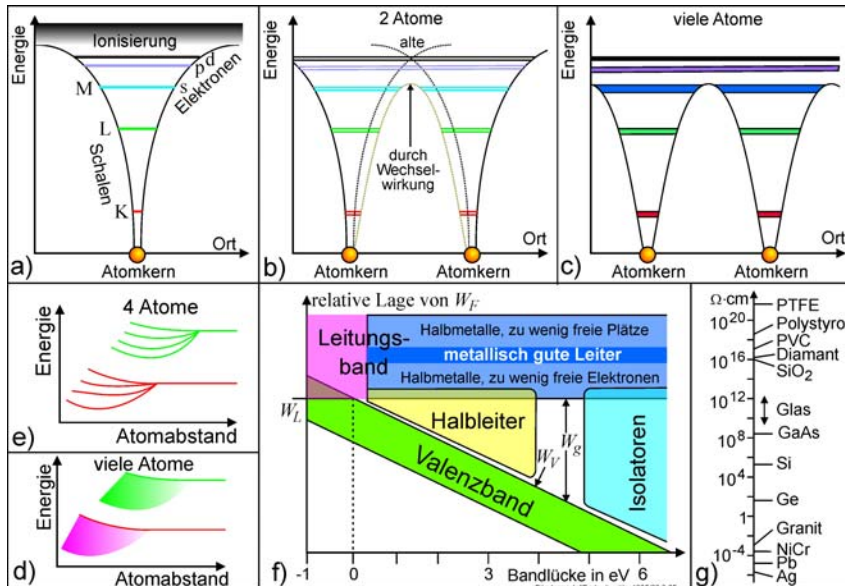
$$f_B(W) = e^{-\frac{W - W_F}{k \cdot T}}$$

W_F das **Fermi-Niveau** wird am absoluten Nullpunkt ($T \rightarrow 0$) = Obergrenze

Kann sich auch innerhalb des verbotenen Bandes befinden, gilt immer für Halbleiter

25.11.2010

Seite 22 von 181



25.11.2010

Seite 23 von 181

Dotieren des Halbleitermaterials

Bisherigen Betrachtungen gelten für fehlerfreie **Monokristalle**

Thermische Energie $> W_g$ hebt statistisch Elektronen ins Leitungsband, dort frei beweglich = (Träger-) **Generierung**
Elektron im Leitungsband kann wieder zurück ins Valenzband „fallen“ = **Rekombination**, erzeugt (Licht-) Quant
Wellenlänge λ bzw. Frequenz ν , h die Plancksche Konstante, c die Lichtgeschwindigkeit) ab: $W_g = \Delta E = h \cdot \nu = h \cdot c / \lambda$
Eigen- bzw. intrinsische Leitung (*lateinisch intrinsecus*, von *intra, secus* inwendig, innerlich, von innen her, aus eigenem Antrieb)

Fehlstellen (unbesetzte Gitterpunkte, Fremdatome, besetzte Zwischengitterplätze) erzeugen zusätzliche Terme, u.a. im verbotenen Band

Bei sonst fehlerfreiem Material zwei Fremdstoffgruppen unterschiedlicher Elemente

Sie **dotieren** das Grundmaterial und Sie verändern auch FERMI-Niveau

Donatoren (*lateinisch donator* Geber, Spender, Stifter) erzeugen überwiegend Terme in Nähe Leitungsband $\rightarrow$

Abstand $W_D \ll W_g$

Thermische Energie von dort leichter Elektronen in das Leitungsband heben

Akzeptoren (*lateinisch acceptor* Empfänger) Störstellen in Nähe Valenzband

Sie entziehen Elektronen des Valenzbandes bei geringer thermischer Energie, hinterlassen dort Atome mit fehlenden Elektronen $\rightarrow$ Löcher

Es entsteht **Löcherleitung** mit virtuellen positiven „Elektronen“

Überwiegen Elektronen im Leitungsband, Löcher im Valenzband $\rightarrow$ Elektronen- oder Löcher- bzw. **n-** oder **p-Leitung**

Störstellen- bzw. **extrinsischer Leitung** (*lateinisch extrinsecus* von *extrin, exterius* secus von außen her angeregt)

Zusammenwirken von Eigen- mit p- bzw. n-Leitung führt zu verschiedenen Leitungsmechanismen $f(T)$

Für viele Anwendungen ist der **lineare Teil der Kurve** entscheidend (temperatur-unabhängig)

Ob Elektronen oder Löcher überwiegen (Majorität) hängt von der Dotierung und der Temperatur ab

25.11.2010

Seite 24 von 181

Leitungsmechanismen und Daten

- **Eigenleitung** (intrinsisch).
- **Störstellenleitung** (extrinsisch) durch Donatoren und Akzeptoren bewirkt.
- **n-Leitung** durch freie Elektronen im Leitungsband (in- und/oder extrinsisch).
- **p-Leitung** durch Löcher im Valenzband.
- **Majoritätsleitung**, durch die in größerer Anzahl vorhandenen Ladungsträger.
- **Minoritätsleitung**, durch die in kleinerer Zahl vorhandenen Ladungsträger.

25.11.2010

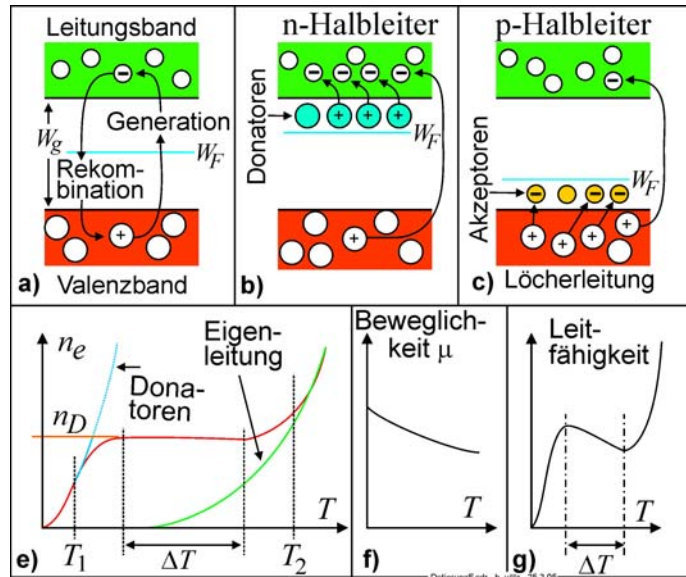
Seite 25 von 181

Ausgewählte Materialeigenschaften der wichtigsten Halbleiter.

Material	Ge	Si	GaAs
Bandabstand W_g in eV	0,67	1,12	1,42
Elektronenbeweglichkeit (cm^2/s)	3900	1500	8500
Löcherbeweglichkeit (cm^2/s)	1900	450	400
Relative Elektronenmasse m^*/m_0	0,88	1,18	0,067
Relative Löchermasse m^*/m_0	0,29	0,81	0,52
Intrinsische Trägerdichte in n_i/cm^3	$2,4 \cdot 10^{13}$	$1,45 \cdot 10^{10}$	$\sim 10^8$
Leitfähigkeit in S/m	2,23	$4,53 \cdot 10^{-4}$	$1,43 \cdot 10^{-5}$

25.11.2010

Seite 26 von 181



25.11.2010

Seite 27 von 181

pn-Übergang

p- und n-Material unmittelbar aneinander gefügt, verschiebt Leitungs- bzw. Valenzband beider Materialien Ladungsträger können ins andere Material diffundieren (lateinisch *dis* auseinander, zwischen und *fusum* gießen, fließen lassen)

In Umgebung des pn-Kontaktes entsteht eine Raumladung, wirkt der Diffusion entgegen, **dynamisches Gleichgewicht** Feldstärkeverlauf mit Diffusionspotential U_D , verbogene Bereich entspricht der Ausdehnung der Raumladung → **Raumladungszone**, -gebiet bzw. Sperrzone mit großem elektrischem Widerstand; Länge $\approx 0,1 \mu\text{m}$.

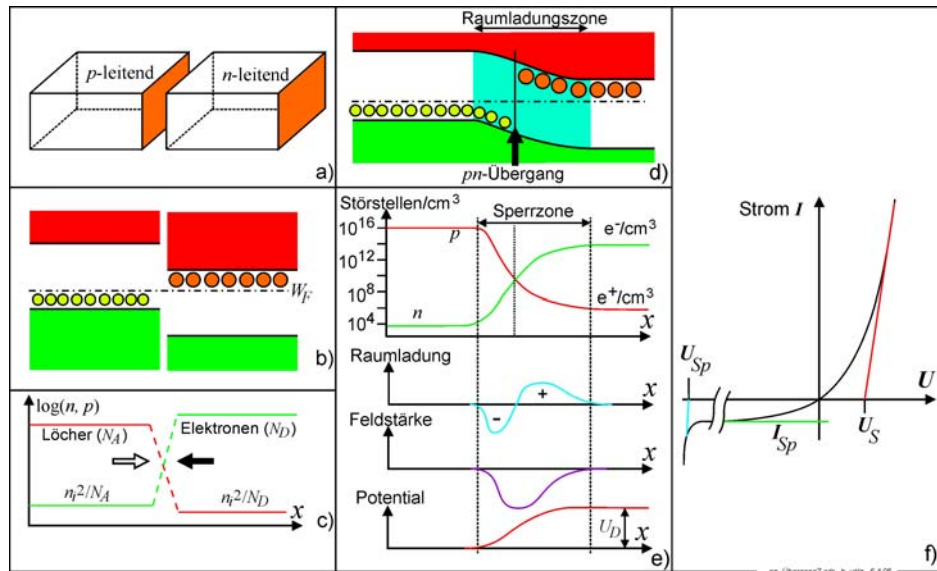
$$U_D = \frac{k \cdot T}{e_0} \ln \frac{n_i^p}{n_i^n}.$$

Mit dem **Sättigungssperrstrom** I_{Sp} (für kleine Dioden etwa $10^{-3} \mu\text{A}$) und angelegter Spannung U gilt die grundlegende Gleichung der Halbleitertechnik. $k \cdot T/e_0$ beträgt bei Zimmertemperatur rund 26 mV

$$I = I_{Sp} \left(e^{\frac{e_0 \cdot U}{k \cdot T}} - 1 \right).$$

25.11.2010

Seite 28 von 181



25.11.2010

Seite 29 von 181

Bipolartransistor

Prinzip Transistor = zwei dicht aneinander gefügten *pn*-Übergänge, mit überlappten Raumladungszonen
Historische, gezogene Transistoren, heute **Planar**-Technik (*lateinisch* planarius flach), Lithografie

1. **pn**-Übergang in Durchlassrichtung = **Emitter** E (*lateinisch emittere* herausgehen lassen, ausschicken)
Strom erzeugt, injiziert Minoritätsträger in gemeinsame Raumladezone
(*lateinisch inicere* hineinwerfen, einflößen)

2. **pn**-Übergang gesperrt betrieben „sammelt“ die injizierten Elektronen
= **Kollektor** C (*lateinisch colligere* einsammeln, *collecta*)

Kollektorstrom $I_C \approx$ eingespeister Emitterstrom I_E . Aber Kollektorspannung $U_{CB} \gg$ Emitterspannung $U_{EB} \rightarrow$ Leistungsverstärkung

Es gibt *pnp*- und *npn*-Transistoren

Mit Kopplungsfaktoren A_{EC} bzw. A_{CE} gilt vereinfacht

$$I_C = I_{Sp,C} \left(e^{\frac{e_0 U_{CB}}{k \cdot T}} - 1 \right) \cdot (1 - A_{E,C}(U_{EB})).$$

Wegen KIRCHHOFF-scher Regel (GUSTAV ROBERT KIRCHHOFF; 1824 - 1887) für die drei Ströme: $I_E + I_B + I_C = 0$

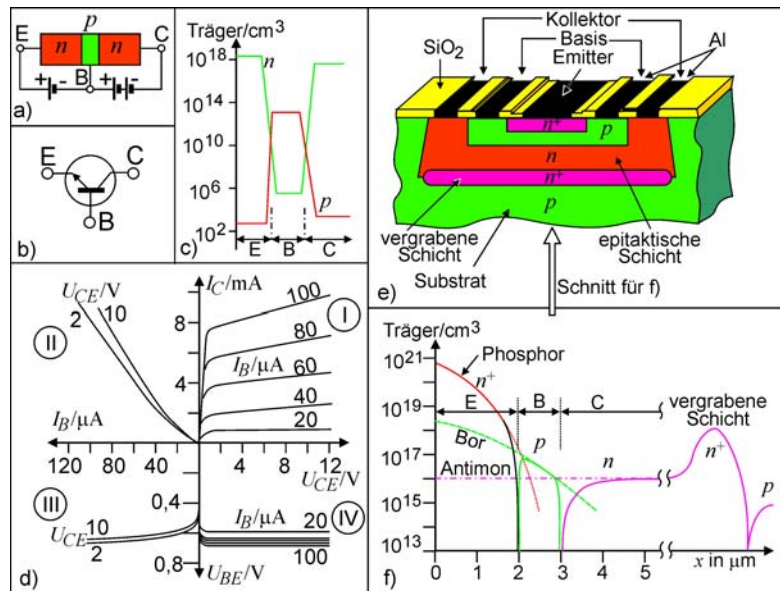
In Basischaltung $\rightarrow I_E$ nahezu vollständig nach $I_C \rightarrow$ Basisstrom I_B daher sehr klein

In Emitterschaltung $\rightarrow$ relativ kleiner Basisstrom bewirkt großen Kollektorstrom (β Stromverstärkung) $I_C \approx -\beta \cdot I_B$.

Kennlinien in 4 Quadranten unterschiedlich

25.11.2010

Seite 30 von 181



25.11.2010

Seite 31 von 181

Sperrschicht-Feldeffekt-Transistor

Im Gegensatz zur Röhrentechnik benötigt der Transistor **Steuerleistung**

1926 JULIUS EDGAR LILJENFELD (1881 – 1963) Prinzip für einen FET (Feld-Effekt-Transistor) zum Patent
1934 schlug ihn auch OSKAR HEIL vor, jedoch erst 1960 wurde der heutige MOS-FET verwirklicht

Zunächst **SFET** (Sperrschicht) steuert Raumladungszone = **JFET** (*englisch* junction Anschluss, Knoten Übergang)

Ladungsträgerdichte ist so gering, dass nahezu ein Isolator vorliegt

Ihre Breite hängt wesentlich von der Größe der angelegten Sperrspannung ab

Historisch **dünner Zylinder** *n*-leitendes Halbleitermaterial, an Enden kontaktiert: Spannungsabfall ist U_{DS} .

Anschlüsse: **Source** (S; *englisch* Quelle) = Bezugspotential für die weiteren Spannungen

Drain (D; *englisch* Abfluss, Abzug, Senke)

Teil vom Zylinderumfang *p*-leitend = **Gate** (G; *englisch* Tor, Tür, Zugang, Eingang, Pforte)

Spannung in Sperrrichtung angelegt (Sperrstrom für Silizium $< 10^{-9}$ A) $\rightarrow$ Eingangswiderstand $\approx 10^9 \Omega$

Änderungen der Gate-Spannung erfolgen daher **nahezu leistungslos**.

Breite der Sperrzone durch U_G steuerbar $\rightarrow$ leistungslose Änderung vom Widerstand R_{DS}

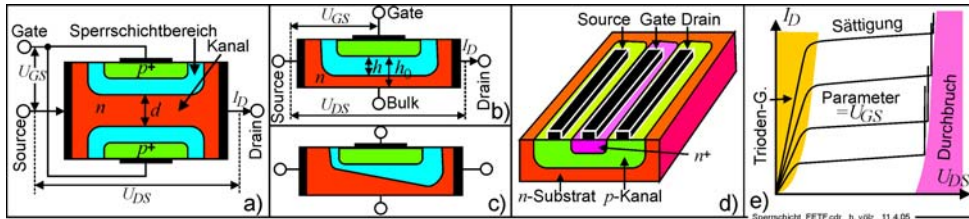
Stromabfall ändert Breite der Sperrzone in „Längs-“, Richtung. Es gibt daher **Grenzbereiche**

- Dioden-Bereich
- Abschnür- = Pentoden- = Sättigungsbereich oder Pinch-off-Effekt = üblicher Betrieb
- Durchbruch

Bei der Planar-Variante ist noch das Grundmaterial = Bulk (*englisch* Größe, Masse) wichtig = Bezugspotential

25.11.2010

Seite 32 von 181



25.11.2010

Seite 33 von 181

Metall-Isolator-Halbleiter-Übergang

Für Viele Halbleiter ist der Metall-Isolator-Halbleiter-Übergang (MIS) wesentlich

Auf Si-Kristall (**Bulk**) ist ein Isolator der Dicke d_i (meist SiO_2) und drüber ein Metall-Kontakt (Gate) angeordnet

Die drei Substanzen bilden quantentheoretisch eine Einheit $\rightarrow$ FERMI-Niveau W_F muss waagrechte Linie ergeben

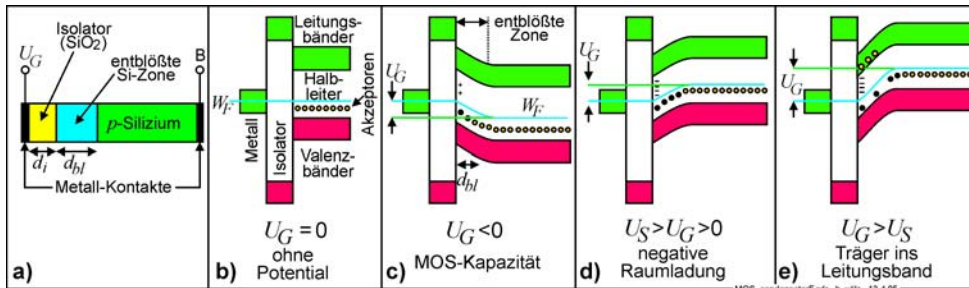
Durch die Gate-Spannung U_G kann unterhalb des Isolators eine von Ladungsträgern entblößte Zone erzeugt werden

Ihre Tiefe (**Potentialtopf**) lässt sich mit der Spannung verändern $\rightarrow$ Änderung von C_{BG}

Es können auch in die **entblößte Zone** langlebige **Minoritätssladungen eingebracht** (gespeichert) werden $\rightarrow$ CCD

25.11.2010

Seite 34 von 181



25.11.2010

Seite 35 von 181

MOSFET

metal oxide semiconductor; *lateinisch conductor* Mieter, Pächter und *semi* halb,

statt semiconductor zuweilen auch S von Silizium

Ähnlich *npn*-Bipolar-Transistor zwei *pn*-Übergänge, aber weit entfernt ohne gemeinsame Raumladungszone

Source und Drain = *n*-Anschlüsse, einer immer gesperrt

Das relativ lange *p*-Gebiet wird durch ein Gate hinter einer Isolationsschicht (meist SiO_2 ca. $10^{15} \Omega$) beeinflusst

Mit einer Spannung U_G kann hier eine Ladungsträgerinversion erzeugt werden $\rightarrow$ leitender Kanal

Es ergeben sich ähnliche Eigenschaften wie beim SFET

MOSFET = MISFET (**metal insulated semiconductor** oder Si)

= IGFET (**insulated gate**; *lateinisch insularis* eine Insel betreffend)

Es gibt auch die komplementäre *pnp*-Variante.

Als Gegensatz zum Bipolar-Transistor auch **Unipolar**-Transistor genannt

Wird auch als TFT (**Thin-Film-Transistor**; Dünnschichttransistor) hergestellt

SFET daher auch NIGFET (**non insulated gate**)

Unterschieden werden

Anreicherungs-Typ (A-Typ) $\rightarrow U_{GS} = 0$ kein Drainstrom ($I_D = 0$); häufig *p*-Kanal

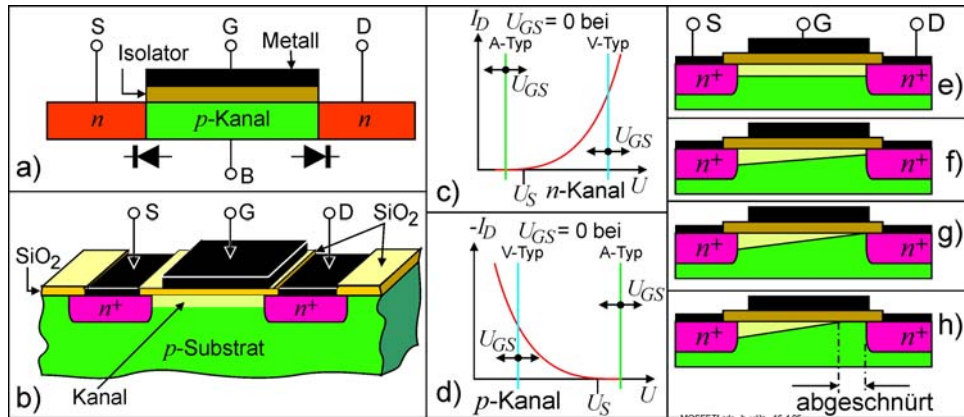
= selbstsperrender bzw. **Enhancement**-Typ (*lateinisch Enhancement* Erweiterung, Anreicherung, Steigerung)

Verarmungs-Typ (V-Typ) bei $U_{GS} = 0$ fließt ein Strom

= Entblößungs-, selbstleitender bzw. **Depletion**-Typ (*lateinisch deplere* ausleeren); häufig *n*-Kanal

25.11.2010

Seite 36 von 181



25.11.2010

Seite 37 von 181

FET Weiterentwicklungen

Im Laufe der Entwicklung waren mehrere Änderungen für den MOSFET notwendig

1. der **n-MOSFET** ist besser, hat dreifach höhere Beweglichkeit der Elektronen gegenüber Löcher beim p-MOSFET noch besser wären Ge oder GaAs, sind jedoch technologisch sehr schwierig
2. um höhere **Speicherdichte** zu erreichen, musste er immer kleiner
3. um höhere **Geschwindigkeit** zu realisieren, muss die Kanallänge L gesenkt werden, denn Schaltzeit $t \sim L^2$
4. Die **Oxidschicht** erreichte bei etwa 10 nm einen praktischen Grenzwert (Spannungsdurchschlag, Kristallfehler, wenige Atomlagen)

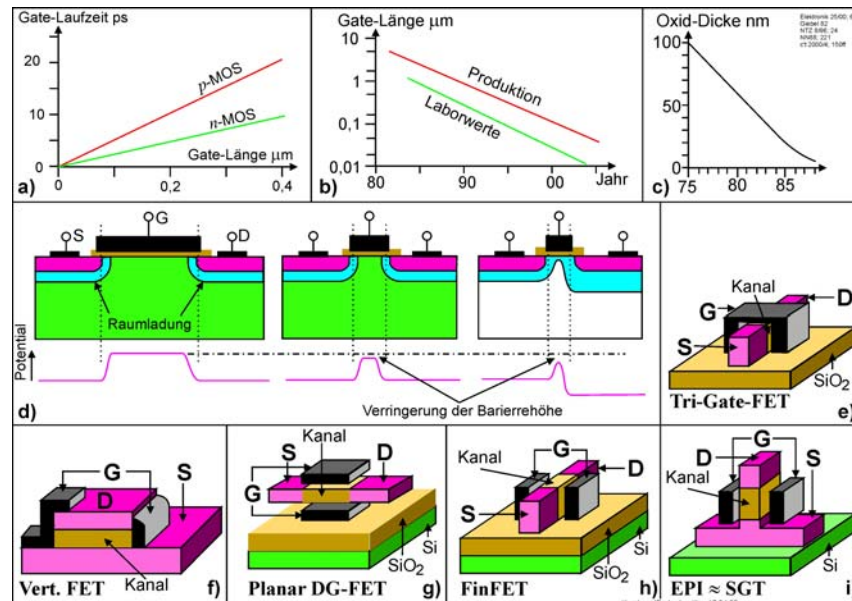
Als **Ergänzungen** entstanden so mehrere neuartige Strukturen, u.a.

- Doppel-Gate-FET
- V- bzw. U-FET (Form!)
- FinFET (Rückenflosse Hai = *englisch fin*)
- SGT (Surrounding Gate Transistor, 1989)
- VRG (Vertical Replacement Gate Transistor)
- Tri-Gate-FET

Neue Isolation 2006 von Intel 2 nm starke HfO_2 -Schicht und auch Kohlenstoff-Nano-Röhrchen als Kanal

25.11.2010

Seite 38 von 181



25.11.2010

Seite 39 von 181

Speicherzellen

25.11.2010

Seite 40 von 181

Flip-Flop

Transistor realisiert beide binären Speicherzustände 0 und 1 durch Stromfluss $\leftrightarrow$ Nichtstromfluss; leitend $\leftrightarrow$ gesperrt
Für ihren Erhalt müssen zwei Transistoren rückgekoppelt zusammengeschaltet werden
Dies wurde erstmalig 1919 als Flip-Flop (FF) von WILLIAM HENRY ECCLES (1903 - 1997) und F. W. JORDAN realisiert

Es gibt auch die Schreibweise Flipflop. Im Deutschen ist **der** und **das** FF zulässig.

Andere Bezeichnungen sind bistabile Kippstufe oder elementarer Zustandsspeicher

Heutige symmetrische Schaltung geht eigentlich auf LAURENCE BEDDOME TURNER als Kallitron von 1920 zurück

Lautmalerischer Techniker-Jargon: Englisch **to flip** schnipsen, schnellen und **to flop** versagen, umfallen

Ähnlich wie bei Gegentaktschaltung $\rightarrow$ **push-pull** von drücken, schieben bzw. ziehen

Einige Lexika übersetzen badeschuhähnliche Sandale, dies ergibt hier jedoch keinen Sinn

Varianten sind aus je zwei NOR- bzw. NAND-Schaltungen möglich

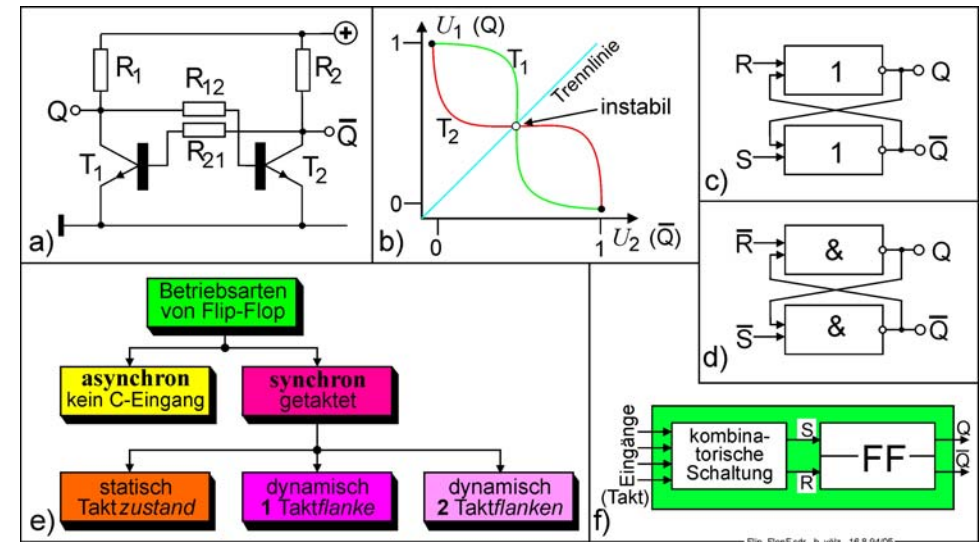
Beim Anlegen der Betriebsspannung stellt sich meist zufällig einer der beiden Zustände ein
Andernfalls Zusatzmaßnahmen notwendig

- Beim **Setzen** (set) wird immer der Zustand $Q = 1$ erzwungen.
- Beim **Rücksetzen** (reset) wird immer der Zustand $Q = 0$ erzwungen.
- Beim **Kippen** (k) wird immer der jeweils andere Zustand erzwungen. Befand sich das FF im Zustand 1, so folgt 0. Befand er sich im Zustand 0 so folgt 1.
- Vom **Halten** (h) der Zustände wird gesprochen, wenn das Signal keine Änderung bewirkt.

Bei unterschiedlichen Technologien Produkt aus Schaltzeit Δt und notwendige Leistung wichtig: $T_{F,L} = \Delta t \cdot E$.

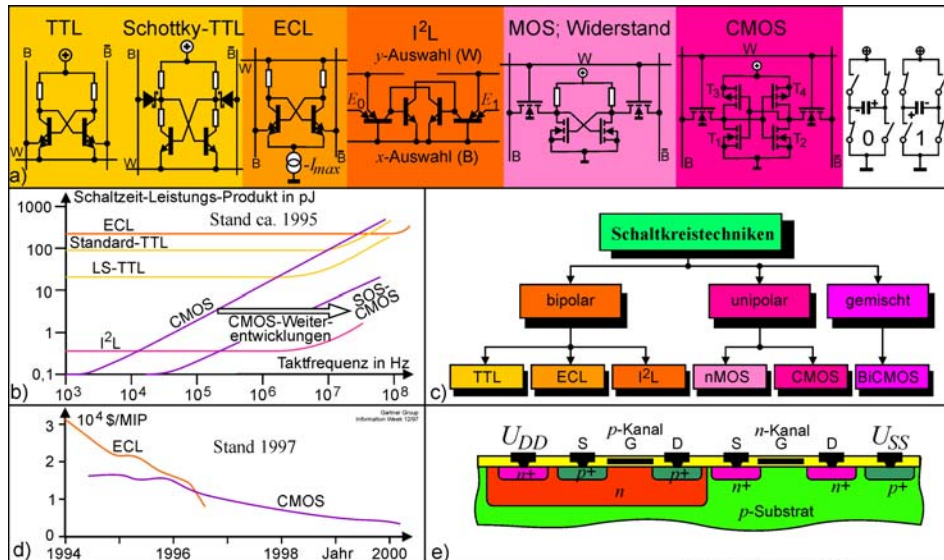
25.11.2010

Seite 41 von 181



25.11.2010

Seite 42 von 181



25.11.2010

Seite 43 von 181

FF-Varianten

Bezüglich einer Taktung C (*lateinisch tactum* anrühren, berühren, beeindruckend) lassen sich unterscheiden

Asynchrone FF besitzen keinen C-, Takt-Eingang (*griechisch synchronos* gleichzeitig, von gleicher Zeit und Dauer) störanfällig

Synchrone FF sind nur zu bestimmten, genau festgelegten Takt-Zeiten beeinflussbar

Statische FF ist die „empfindliche“ Zeit durch den Taktpegel bestimmt: Varianten $C=0$ oder $C=1$

Dynamisches = flankengesteuertes FF nur empfindlich, wenn C von 0 $\rightarrow$ 1 bzw. 1 $\rightarrow$ 0 wechselt

Weitere Varianten betreffen unterschiedliche Signale:

C Der Clock- (*englisch* Uhr, Takt, auch „count“ *englisch* zählen), Takteingang soll FF für weitere Eingangssignale empfindlich zu machen, wenn an ihm bestimmte Pegel oder Signalfanken auftreten (s.u.).

D Beim Delay-FF (*englisch* Verzögerung) folgt der Q-Ausgang mit Verzögerung den Werten am D-Eingang.

JK Beide Eingänge ermöglichen durch Kombination alle vier o.g. Funktionen des FF. Die Bezeichnung weist wahrscheinlich auf JACK S. KILBY (*1923, Erfinder des integrierten Schaltkreises) hin, auch Jump (*englisch* springen) und Kill (*englisch* töten, löschen) werden genannt (Details u.a. [VÖL89]).

MS Ein Master-Slave-FF (*englisch* Herr, Sklave) besteht aus zwei in Reihe geschalteten FFs, wodurch für viele Anwendungen eine sehr hohe Zuverlässigkeit entsteht (s.u.).

RS Von Rücksetzen (*englisch* reset) nach $Q=0$ und Setzen (*englisch* set) nach $Q=1$. Achtung, nicht mit MS-FF verwechseln!

T Das Trigger-FF (*englisch* auslösen, auch Toggle *englisch* umschalten) schaltet von $Q=0$ nach $Q=1$ bzw. von $Q=1$ nach $Q=0$ um (k), wenn am T-Eingang der Pegel 1 liegt

Z Ein Zähl-FF (s.u. Bild 20e) schaltet bei jeder (definierten) Eingangs-Änderung zwischen $Q=0$ und $Q=1$ um, ist Sonderfall des T-FF.

25.11.2010

Seite 44 von 181

Schaltungen mit FF

Master-Slave-FF (MS-FF) = zwei in Reihe geschaltete, mit verschiedenen Taktzeiten betriebene oft dynamische (RS-) FF

(englisch **Master** Herr, **Slave** Sklave) Slave übernimmt im 2. Taktteil Inhalt von Master

Register (lateinisch **re-** wieder, zurück; **gerere** tragen, ausführen, **regerere** zurückbringen; eintragen) kombiniert mehrere FF

Schieberegister besitzen gemeinsamen Takt-Eingang, der Information über die Leitung

Wenn sich mit Takt das Eingangssignal ändert, sind im Schieberegister aus n MS-FFs immer die letzten n Signale gespeichert.

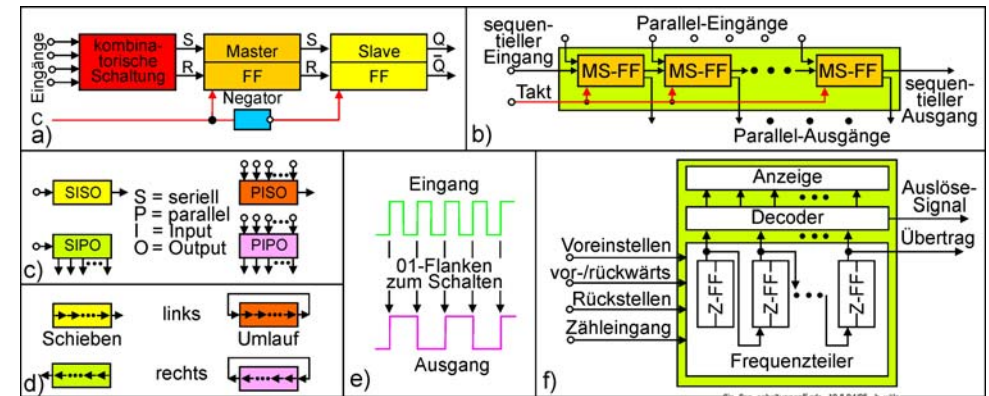
Wird FF ein Stellenwert zugeordnet sind auch **Multiplikation** und **Division** (Rückwärtsschiebung) möglich Ermöglicht Verzögerung von Daten, und bei Rückkopplung Umlauf von Daten (**Rotation**)

Zusätzlich auch paralleler Zugriff zu Daten möglich

Es besteht Ähnlichkeit zu **CCD** und **Eimerkettenspeicher**

Puffer = Buffer englisch = Zwischenspeicher = Latch (to latch einrasten)
halten Daten für eine gewisse Zeit zur Verfügung

Zähler = nutzen Schieberegister, Zusatzelektronik und meist Anzeige



25.11.2010

Seite 45 von 181

25.11.2010

Seite 46 von 181

Stack

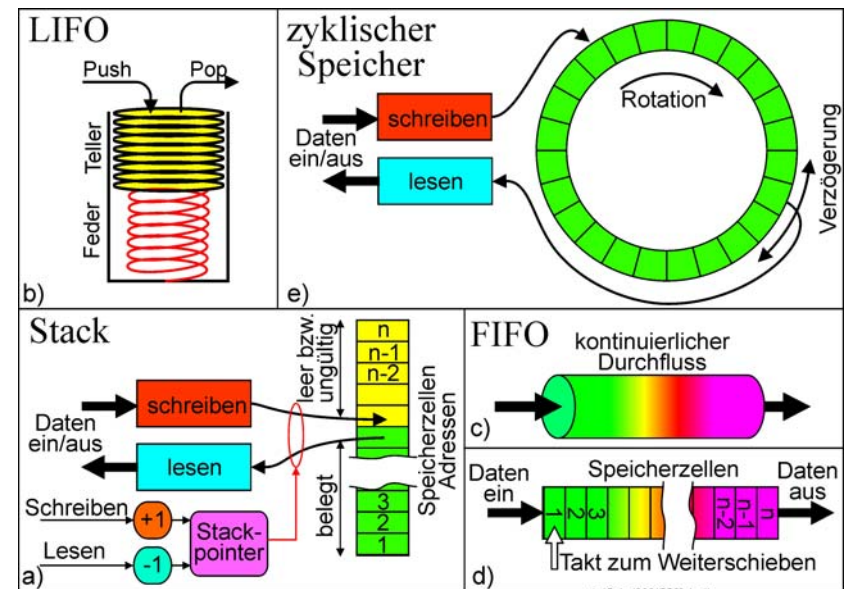
Verwandt mit Zähler und Schieberegister ist der **Stack** (englisch Stapel, Haufen, Warteraum, Miete, Schacht, Schornstein)

Deutsch = **Kellerspeicher**, arbeitet wie aufgesteckte Zettel oder Tellerstapel (Hotel)

Was zuletzt aufgelegt wurde, muss zuerst wieder runter genommen werden

→ LIFO = last in first out, Gegenteil FIFO ≈ Schieberegister

Erfindung des Stack 50er Jahren, wahrscheinlich WILHELM KÄMMERER (1905 – 1994)
bei OPREMA (**Optik-Rechen-Maschine**)



25.11.2010

Seite 47 von 181

25.11.2010

Seite 48 von 181

Cache

englisch Versteck, geheimes Lager, spezieller, sehr schneller Speicher zur Beschleunigung des Datenaustausches mit CPU

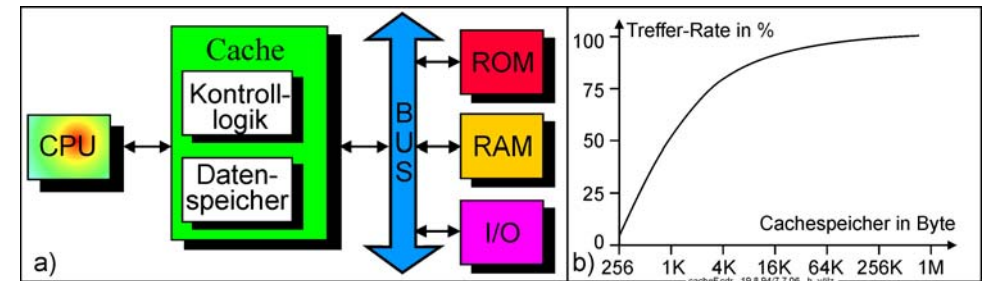
Sammelt Daten, die eventuell als nächste benötigt werden, bedeuten formal „vorausdenken“ (look ahead)

Wenn erfolgreich dann **Hit** (englisch *to hit* treffen, bestätigen schlagen)

Anderenfalls **Miss** (englisch *to miss* vermissen, fehlen, verpassen, nicht Dame!)

25.11.2010

Seite 49 von 181



25.11.2010

Seite 50 von 181

1-Transistor-Zelle = dRAM

MOS-Speicher-**Vorteil**: geringer Stromverbrauch $\leftrightarrow$ 6 FET = teure Chipfläche
IBM 370/145 von 1970 war erster Rechner mit noch bipolaren Halbleiterspeichern

Schon bei den Relais- und Röhrenrechnern gab es Erfahrungen mit C-Speichern

1966 begann bei IBM ROBERT DENNARD Entwicklung

1970 technologisch reif, Intel 1970 ersten dRAM-Typ „1103“

1971 bei IBM die Serienproduktion für Hauptspeicher der IBM-Großrechner 370-158 und -168, später kleinere -125

Außer dem C ist dann zur Speicher-Zellen-Auswahl nur 1 Transistor (statt 6) erforderlich

Kondensator C kurzzeitig U_1 (1) geladen bzw. auf Null (0) entladen, Kondensator hat Verluste durch Widerstand R

$$U_C = U_1 \left(1 - e^{-\frac{t}{RC}} \right).$$

Für 1 muss Toleranzbereich für **minimalen Wert Um** festgelegt werden, wird etwa bei der Zeit t_r erreicht

Dann muss ein **refresh** (englisch auffrischen) erfolgen, typische Zeit alle $t_r \approx 64$ ms

Hierzu ist komplexe Elektronik notwendig = 2 Schalter + OV + großer Hilfskondensator C_H

Ältere einfache Schaltung arbeitet mit vier Takten Φ_1 bis Φ_4 .

Refresh-Vorgang die Zeitdauer t_d , meist $t_d \ll t_r$. Während dieser Zeit ist kein Lesen und Schreiben möglich.

Jedes Lesen entlädt Kondensator, anschließend zusätzlich Refresh

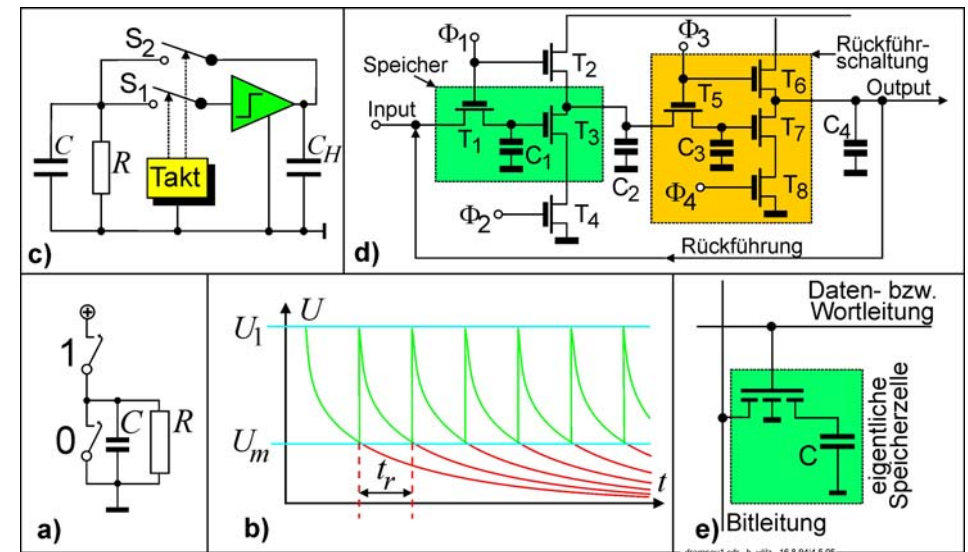
Bedeutet große **Zeitverluste** und hohen **Energieverbrauch** $\rightarrow$ 1 GBit-Chip kommt heute auf 3A und 5 Watt!

Refresh meist zeilenweise, ca. 150 ns = etwa 1 % der Betriebszeit, alle 15 μ s neue Refresh-Zeile angesprochen

Auf die einzelnen Speicherzellen kann daher nur zu unterschiedlichen Zeiten zugegriffen werden

25.11.2010

Seite 51 von 181



25.11.2010

Seite 52 von 181

dRAM-Technologien

Weder der Speicherkondensator noch das Drain werden nach Außen herausgeführt

Anfangs **Speicherkapazität nur parasitär** (als Nebeneffekt, *griechisch* παρά- neben und sitos Speise)

Bit-Leitung = Source des FETs. Gate = Wort-Leitung

Ein quasi zweites Gate₂ erhält Betriebsspannung U_b , bewirkt so C zum Substrat < 1 pF

Anfangs bei 5 Volt $\rightarrow Q_C = U \cdot C \approx 1$ pC $\rightarrow$ Ladung Elektron $1,6 \cdot 10^{-19}$ C $\rightarrow \approx 10^7$ Elektronen

Strukturen jetzt sehr viel kleiner (2005 Zelle $\approx 0,07 \mu\text{m}^2$)

Trotz technologisch deutlich vergrößerter Kapazität nur noch wenige fF (10^{-15} F) $\rightarrow$ einige Tausend Elektronen/Bit (Quanteneffekte)

Andererseits im Labor bereits 1-Elektronen-Speicherzelle erprobt

Leistung bei maximaler Taktfrequenz mehrere $\mu\text{W}/\text{Bit}$, bei sehr geringer Taktfrequenz nW/Bit GBit-Speicher

25.11.2010

Seite 53 von 181

Technologie Fortschritte

vor allem beim Aufbau der Speicherzellen entstanden zwei Technologie-Lager

1978 **Stacked-Technologie** (*englisch* Stapel, Haufen, verschachtelt) 1978 von Hitachi
großflächiges Gate₂-Elektrode über FET-Struktur
Fujitsu, Hitachi, Intel, NEC und Samsung

1983 **Trench-Technologie** (*englisch* Graben) von NTT + Hitachi
anisotropes Ätzen (Richtung 1:100), 3D-Eigenschaften Si-Kristall
IBM, Motorola, Siemens, Texas Instruments und Toshiba

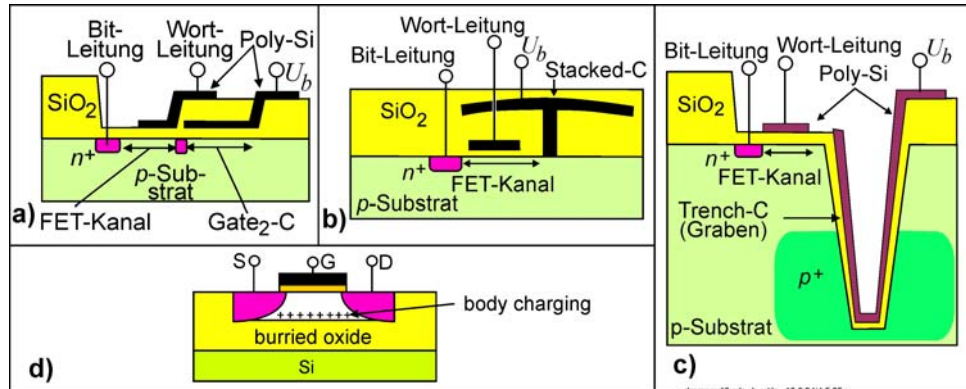
Später Isoliermaterialien mit großer DK ϵ_R zunächst Al_2O_3 , Ta_2O_5 später HfO_2 , $\text{Hf}_x\text{Al}_y\text{O}_z$, langfristig LaAlO_3 ($\epsilon \approx 25$) statt SiO_2

1997 zog Toshiba etwa 70 Entwickler von Trench-Zelle ab, dennoch bis heute beide Varianten nahezu gleichberechtigt

2005 Innovative Silicon stellt die **Z-RAM**-Zelle vor (*englisch* Zero Null)
verlangt Sol (**Silicon on Insulator**, 1998 von IBM eingeführt)
FET befindet über dem Isolator SiO_2 (burrowing oxide)
Beim Betrieb des FETs entsteht Floating-Effekt = Body Charging
Unmittelbar über dem Isolator wird so eine Ladung erzeugt
War schon lange als Stör-Effekt bekannt, geringe Änderungen $\rightarrow$ Anwendung
benötigt wenig Fläche und Masken

25.11.2010

Seite 54 von 181



25.11.2010

Seite 55 von 181

EPROM

Ladungen lassen sich mit einigen Methoden auch nahezu bleibend speichern

Hochisoliertes **floating gate** (*englisch* floating fließend, schwebend) $\rightarrow$ EPROM, EEPROM und Flash

Ferroelektrische FRAM und NV-RAM werden später behandelt

Beim floating gate Speichern nur eingeschränkt möglich, daher **RMM** (read mostly memory, oft lesbar)

Gemeinsames physikalisches Prinzip Verlagerung der MOSFET-Schwelle durch fixierte Ladungen im Gate-Bereich

Historische **EPROM** (*englisch* erasable programmable read only memory, löschar) ist elektrisch programmierbar, aber nur mit UV ganzheitlich löschar

1970 erster Typ (Intel 1702) mit 2 KBit, Auslesegeschwindigkeit betrug $0,7 \mu\text{s}$

Zusätzliches polykristallines und völlig mit SiO_2 isoliertes Floating-Gate, maximal 100 nm vom n -Si entfernt

Kapazität C wie beim dRAM mehreren fF

Der **Ladungsverlust** beträgt in 10 Jahren weniger als 10 % = Leckstrom 10^{-22} A = wenige Elektronen je Stunde

Gate ohne Ladung speichert 0, mit hinreichender Ladung 1 $\rightarrow$ zwei $I_D(U_{GS})$ -Kennlinien

Später der p -Kanal durch n -Kanal ersetzt

Es entstanden mehrere **Varianten**, u.a. SAMOS, SIMOS (stacked gate), ATMOS, DIFMOS

Weiterentwicklung mit **Tunneleffekt** FLOTOX (**f**loating gate **t**unnel **o**xide) und

MNOS (Metal, Nitrid, **O**xid, **S**i) und SNOS (Si, Nitrid), ≤ 5 nm SiO_2 -Schicht, darüber 20 - 40 nm Si_3N_4 -Schicht

Unterschiedliche Gitterstruktur $\rightarrow$ Fehlstellen = **Traps** (*englisch* Fallen, Haftstellen), ähneln Donatoren bzw.

Akzeptoren für Ladungsträger

Es entsteht Hysteresekurve, eigentlich schon EEPROM (s.u.)

MNOS-Technologie sehr schwierig, Speicherzeit deutlich geringer als bei EPROM

Seit etwa 2000 werden keine EPROM mehr gefertigt, sie sind zunächst durch EEPROM und dann durch Flash ersetzt

25.11.2010

Seite 56 von 181

EPROM Arbeitsweise

Programmierung hohe Spannung (ca. 20 V) zwischen Source (S) und Drain (D), erzeugt leitenden Kanal Ladungsträger (Elektronen) **hoher Geschwindigkeit** durchwandern so die Energiebarriere ($\text{Si} \rightarrow \text{SiO}_2 \approx 3,25 \text{ eV}$) Gelangen zum Gate, werden auf das Gate injiziert (*lateinisch **in**icere* einflößen, hineinwerfen, einbringen) Im Kanal **Stoß-Ionisation**, die viele zusätzliche Träger erzeugt = **Avalanche**-Effekt (*englisch* Lawine) Daher die Bezeichnung **FAMOS** (*englisch* floating gate avalanche injection MOS) Andere Namen CHE- (channel **hot** electron), CHEI- (channel hot electron injection) oder HCI (hot carrier injection) Dann ist das EPORM programmiert, eine 1 gespeichert Programmierung erzeugt viel **Wärme** → einige hundert Impulse je Bit-Zelle, anfangs 10 ms, ab 1990 $\approx 0,1 \text{ ms}$ Dauer

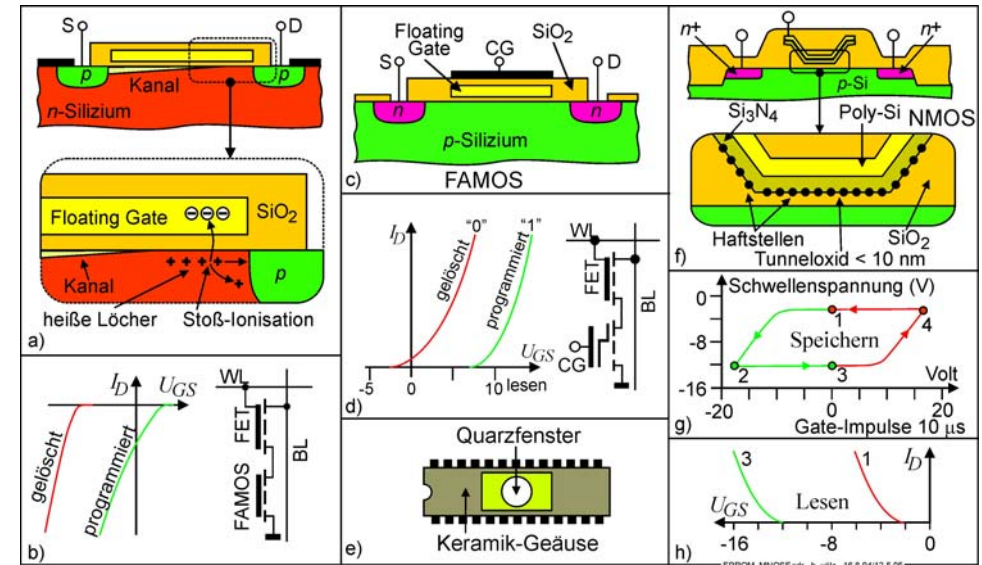
Zur **Löschung** sind die Ladungsträger wieder vom Gate zu entfernen Sie müssen in das 4,3 eV höher liegende Leitungsband des SiO_2 gelangen Chip wird ca. 20 Minuten mit ultraviolettem Licht (UV, $\lambda \approx 250 \text{ nm}$, Hg-Lampe) 5 bis 10 W/cm^2 bestrahlt Oxid wird für energiereiche Elektronen leitend. Alle Bit werden zugleich gelöscht UV-Bestrahlung erfordert ein **Quarzfenster** und teures **Keramikgehäuse** Nach dem Programmieren muss das Quarzfenster lichtundurchlässig **zuglebt werden** Direkte Sonneneinstrahlung, Leuchtstoffröhren usw. würden sonst „schleichende“ Entladung bewirken

Zeitweilig preiswerte **OTP-PROMs** (one time programmable) im Plastikgehäuse ohne Fenster

Sehr nachteilig benötigen zum Programmieren und Löschen besonderen Geräte → Steckfassung Infolge der hohen Belastung konnte ein EPROM nur 10^4 - bis 10^6 -Mal neu programmiert werden

25.11.2010

Seite 57 von 181



25.11.2010

Seite 58 von 181

Tunneleffekte

Weiterentwicklung zum EEPROM und Flash verlangt mehrere Tunneleffekte

EEPROM = E^2PROM (electrically erasable PROM, elektrisch löschar) = **EAROM** (electrically alterable ROM, elektrisch veränderbar)

Kann beim Programmieren und Löschen in der Schaltung bleiben, kein Fenster, kein Keramik-Gehäuse, viel schneller

Erste Variante mit Tunnel-Effekten 1978 von HARARI

→ **FETMOS** (floating gate electron tunneling MOS; nicht FET verwechseln!)

Effekt ist besser verständlich, wenn die Ladungsträger als Welle interpretiert werden

Mit dem Tunnel-Effekt erklärte 1928 GEORGE ANTHONY GAMOW (1904 – 1968) die Radioaktivität

1957 entdeckte LEO ESAKI (*1925) die Tunnelodiode

1962 sagte BRIAN DAVID JOSEPHSON (*1940) den Effekt bei Tieftemperatur voraus

Fowler-Nordheim-Theorie 1928 von Sir RALPH HOWARD FOWLER (1889 – 1944) und LOTHAR NORDHEIM

Gilt für Elektronen aus kalten Metall ins Vakuum, abgewandeltes Prinzip nutzen EEPROM und Flash

Tunnel-Effekt ist unabhängig von der Temperatur → kalte Emission

25.11.2010

Seite 59 von 181

E^2PROM und Flash

Speichertransistor mit Floating Gate (SF), das in Nähe vom Drain eine kleine „Erhöhung“ besitzt, Tunneloxid $\approx 10 \text{ nm}$ Ermöglicht FOWLER-NORDHEIM-Tunneln zur Aufladung und Entladung des Gate = ETOX-Zelle → Tunnel **O**xide Getrenntes Setzen auf „1“ und „0“ möglich, Löschen entfällt, dafür aber zweiter Transistor nötig (größere Fläche!) Beide (gestaffelte) Gates = in Reihe geschaltete Kapazitäten $C_G \gg C_F$ teilen Spannung auf, gemeinsamer Tunnelstrom

Wegen Nachteile des EEPROM entstand ab etwa 1985 – zunächst Intel – neue Speicherzelle = Flash (*englisch* Blitz) Vor allem schnelles Löschen. Nicht wie EEPROM – bitweise, sondern gleich für mehrere Zellen, Lesezeit $< 100 \text{ ns}$ Inzwischen viele Varianten, besonders wichtig **Split-Gate** (*englisch to split* aufteilen, spalten) 2000 von Motorola (c) Gegenüber EEPROM durch die Zusammenschaltung mehrerer Speicherzellen nicht mehr das bitweise Löschen Abweichendem Schreib-/Leseverhalten, u.a. seriell $\leftrightarrow$ parallel bzw. NAND- $\leftrightarrow$ NOR-Flash Speicherzelle meist wenig geändert, sondern mehr im Speicherschaltkreis

Nachteil der Flash (= EEPROM) nur ca. 10^6 Schreibzyklen, Löszeit steigt zuerst

Intern wird zwischen gültigen und ungültigen Daten unterschieden

Organisation für gleichmäßige Benutzung der Zellen und Verwendung von Reserve-Zellen

1988 durch Intel das NOR-Flash und dann 1989 durch Toshiba der NAND-Flash

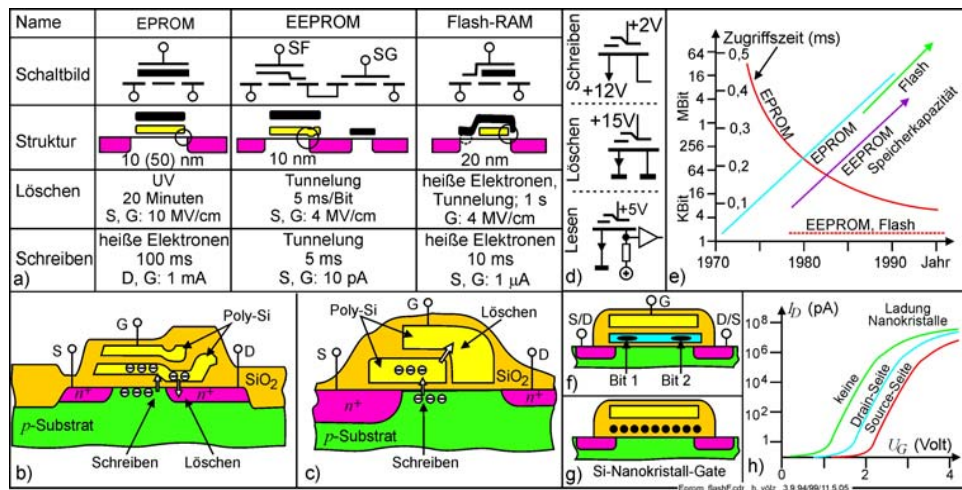
Multilevel-Flash (MLC = multi level cell) 1997 Sandisk 4 Stufen für 2 Bits zu nutzen Heute viel gebräuchlich Für 3 Bits gemäß 8 Stufen erste Varianten vorhanden

Verkleinerung der Zellen nur bedingt möglich (*englisch* to shrink, vermindern, schrumpfen, abnehmen)

Spanion **Mirrorbit-Technologie** = **Twin-Flash**, nichtleitendes Nitratmaterial Zweiteilung des Floating-Gate SiO_2 -Schicht $< 2 \text{ nm}$ nicht möglich. Neu **Si-Nanokristalle**: Bei Fehlern entladen sich dann nur einzelne Kristalle

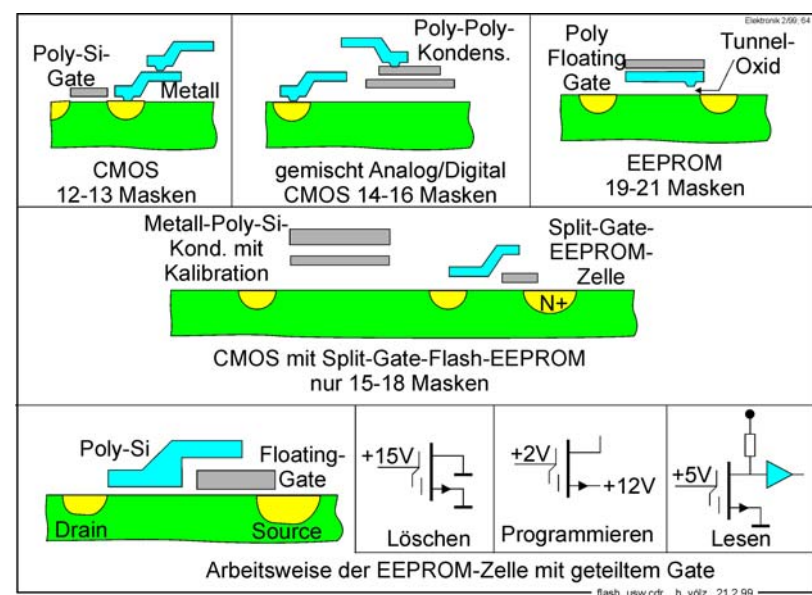
25.11.2010

Seite 60 von 181



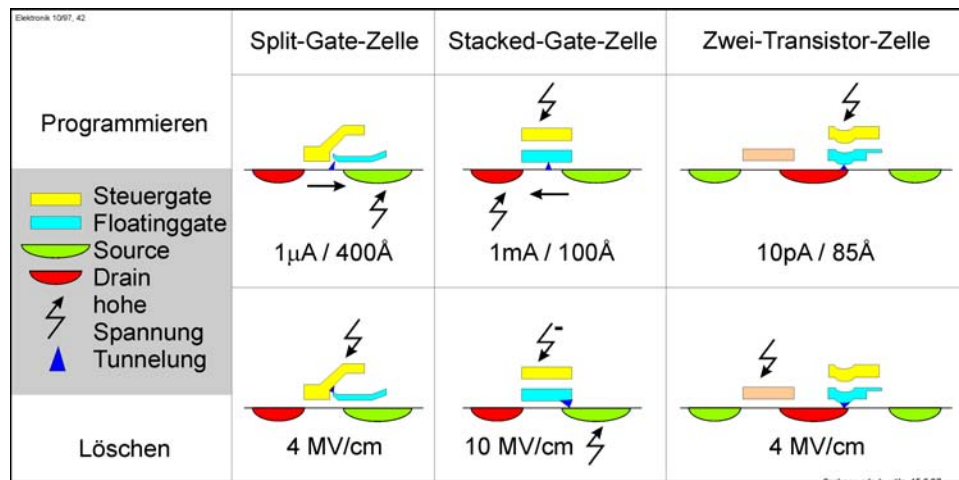
25.11.2010

Seite 61 von 181



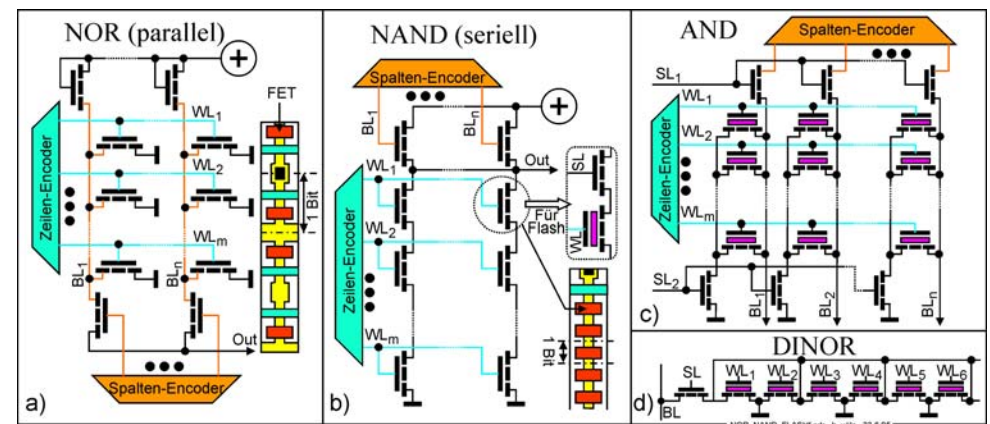
25.11.2010

Seite 62 von 181



25.11.2010

Seite 63 von 181



25.11.2010

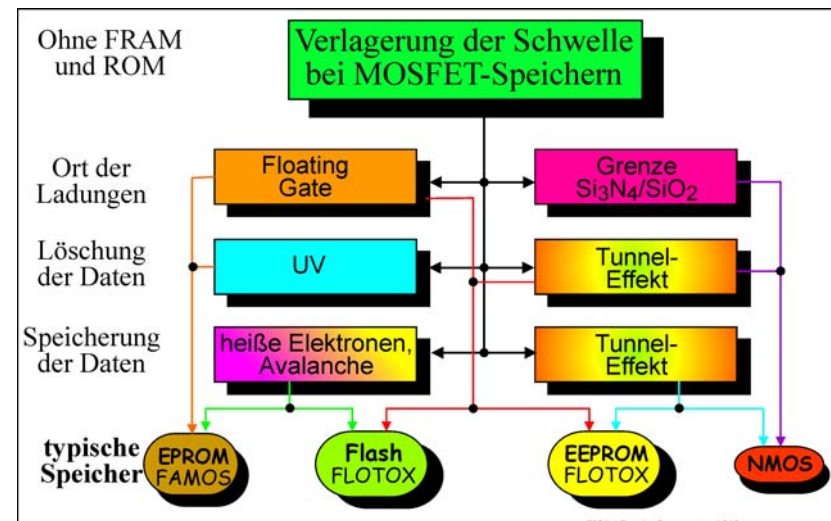
Seite 64 von 181

Vergleich von NOR- und NAND-Flash

	NOR	NAND
Vorteile	Wahlfreier Lesezugriff 60 - 90 ns für 16 Bit-Wort Ersatz für EEPROM Höhere Zuverlässigkeit Mikroprozessortauglich	Platzbedarf $\approx \frac{2}{5}$ NOR Programmieren 2 MB/s Löschen 5 MB/s Massenspeicher, z.B. Speicherkarten
Nachteile	Höherer Platzbedarf Programmieren 0,2 MB/s Löschen 0,08 MB/s	Serieller Zugriff mit 15 μ s/Seite (528 Bytes)
Schnittstelle	SRAM-ähnlicher Bus	Gemultiplextes I/O
Zellgröße	groß	klein
Lesen	schnell	langsam
Programmieren (Byte)	schnell	langsam
Programmieren (KByte)	langsam	schnell
Löschen	langsam	schnell
Leistungsaufnahme	relativ hoch	gering
Fehleranfälligkeit	gering, mehrere 10^5 Schreib-,Löschzyklen	erheblich, wird korrigiert

25.11.2010

Seite 65 von 181



25.11.2010

Seite 66 von 181

Festwertspeicher

Für einige Anwendungen werden Speicher benötigt, deren Inhalte unveränderlich bestehen bleiben
 Festwertspeicher = **ROM** (read only memory) = **RMM** (read mostly memory)
 Dies ist sowohl eine technologische Vereinfachung, wird aber z.T. auch gesetzlich gefördert
 Bei den elektronischen Speichern sind sie nur noch historisch interessant. Sie sind vollständig durch Flash verdrängt
 Jedoch wurden noch 1990 weltweit rund $5 \cdot 10^6$ Festwertspeicher eingesetzt
 Sie wurden meist durch das Einstecken in Sockel ausgetauscht
 Es können zwei Varianten unterschieden werden

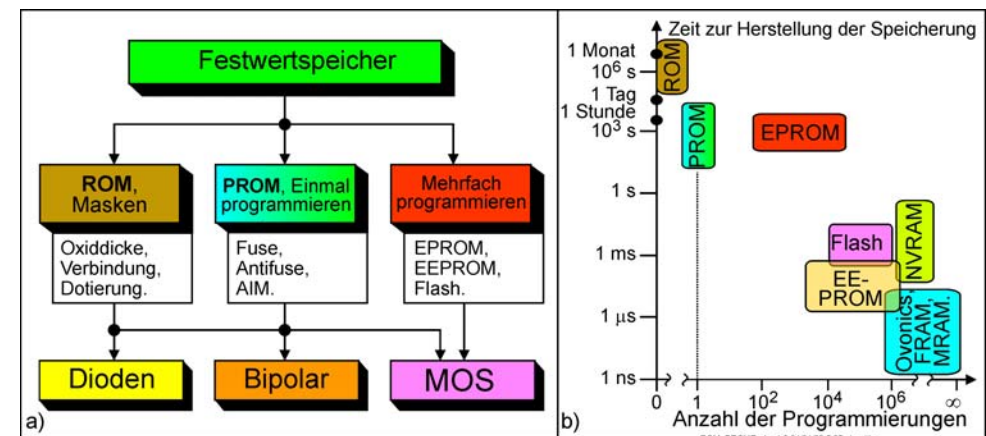
- Masken**-Programmierung erfolgt im Herstellungsprozess, vielfach als letzte Maske, so können Vorstufen als Lagerbestand gefertigt werden, war für MOS-Varianten vorteilhaft
 Produktionszeit $\approx$ ein Monat, Zugriffszeit meist sehr kurz, z.T. ns
- Einmal manuell** programmierbar, dann nicht mehr löscht- oder veränderbar
 PROM (programmable ROM) = OTP (one time programming)
 Hierzu gab es viele Varianten, die auf Dioden, Bipolar-Transistoren und MOS beruhen

Allgemein ist so eine Speichereinteilung möglich nach

Herstellungs- bzw. Programmierzeit $\leftrightarrow$ Anzahl der möglichen Programmierungen

25.11.2010

Seite 67 von 181



25.11.2010

Seite 68 von 181

ROM und PROM

Wie bei fast allen elektronischen Speicher werden ROM und PROM in Speichermatrizen benutzt (später behandelt)
 Der Eingang = Auslösung der Wiedergabe, erfolgt durch Auswahl einer Zeile
 Der Ausgang überwiegend durch Wort-Organisation = gleichzeitig mehrere Bit
 Infolge dieser Verkopplung müssen ROM-Zellen extrem nichtlinear sein
 Andernfalls würden unerwünschte Wechselwirkungen auftreten
 So werden vor allem Dioden, bipolare Transistoren oder MOS-Techniken (FET) genutzt

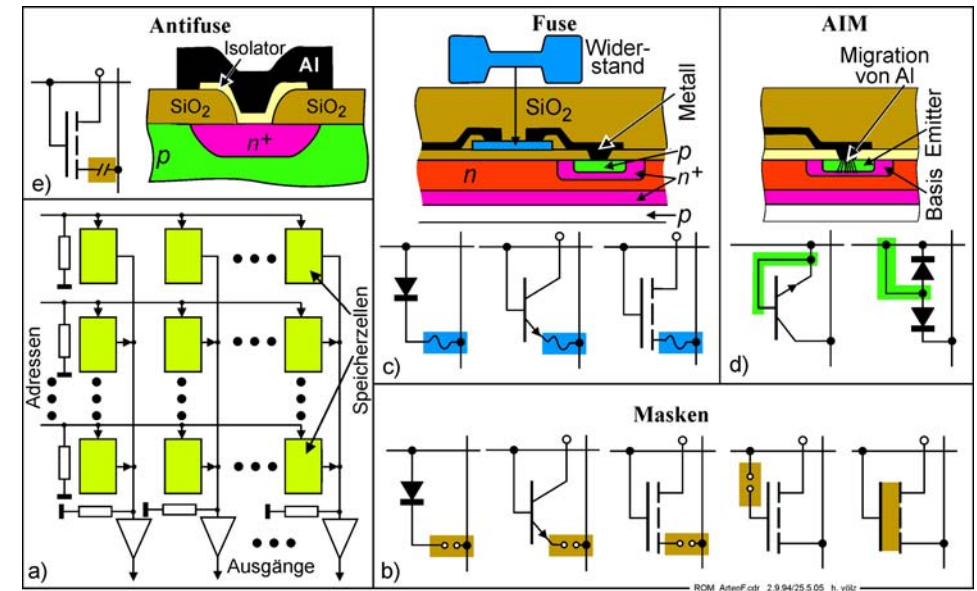
Bei der **Masken-Programmierung** wird von universell nutzbaren Halbfertig-Bausteinen auf einen Wafer ausgegangen
 Mit der „letzten Maske“ wird dann der vom Kunden gewünschte Schaltkreis produziert
 2000 typische Kosten: Maske mehrere tausend Dollar, Entwicklungszeit: 15 Wochen
 Es gibt Varianten zum „Überbrücken“ von zwei Anschlüssen = 1 (Diode, Bipolar, FET)
 Außerdem besteht für MOS die Möglichkeit zum „Dick-Oxid“

PROMs können ein einziges Mal durch den Anwender mittels elektrischer Signale programmiert werden
 Erfordert spezielle Programmiergeräte. Es existieren drei Varianten:

- **Fuse** (englisch *to fuse* vereinigen, ≈ Schmelzsicherung), zuweilen werden sie auch FS (*fusible link*) genannt = aufgedampfter, hochohmiger Leiterbereich, u.a. NiCr, TiW, PtSi, Al oder Poly-Si
 Dicke ≈ 20 nm, Fläche ≈ 0,1 × 0,2 mm². R einige kΩ, ms-Impulse von 10 – 20 mA verdampfen Material
- **Antifuse** als Gegenteil von Fuse. Stromstöße wandeln amorphes Si in besser leitendes um
- **AIM** (avalanche induced migration; englisch *avalanche* Lawine, *lateinisch inductio* das Hineinführen, *migrare* wandern, wegziehen)
 bipolarer Transistor ohne herausgeführte Basis. Zunächst in beide Stromrichtungen gesperrt (0)
 Durch großen Strom Lawinendurchbruch → Materialtransport, ein pn-Übergang dotierend überbrückt

25.11.2010

Seite 69 von 181



25.11.2010

Seite 70 von 181

Spezielle Speicher

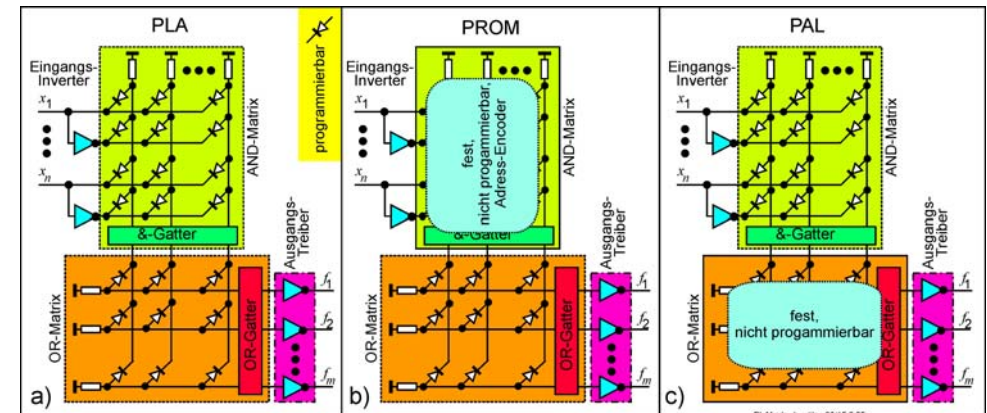
ASIC (application specific integrated circuit) = anwenderbezogenen Schaltkreise)
 Dazu gehören **FPGA** (field programmable gate array) und **FPLS** (field programmable logic sequencer)

Anwendung von PROM, berücksichtigt, dass aufeinander folgende AND- und OR-Schaltungen alle logischen Funktionen erzeugen können

PLD (programmable logic device) = programmierbare Schaltung

PLA (programmable logic array) beliebige kombinatorische Schaltung

PAL (programmable array logic) stehen die verfügbaren Ausgangssignale, für programmierbare Eingangssignale fest



25.11.2010

Seite 71 von 181

25.11.2010

Seite 72 von 181

Systematik

Betrifft u. a. Art von **Aufzeichnung, Speicherzustand und Wiedergabe**

ROM (englisch **read only memory**, nur lesbarer Speicher)

Varianten PROM, EPROM, EEPROM, Flash

RAM (**random access memory**; *englisch random* zufällig, regellos; *memory* Erinnerung, Gedächtnis *lateinisch accessum* hinzukommen)

Begriff eigentlich nur historisch sinnvoll, nichts mehr mit Zufall (random) zu tun, sondern zwei typische Eigenschaften:

- Auf Speicherzellen wird über Adressen zugegriffen, mit wahlfreiem Zugriff $\Leftrightarrow$ *serielle* Speicher
- Es kann** beliebig oft und möglichst schnell neue Information aufgezeichnet werden $\Leftrightarrow$ ROM, PROM usw.

Besondere **Oberbegriffe**: kleine **r**, **s** bzw. **d**, (Literatur nur üblich SRAM und DRAM)

sRAM (statisch; *griechisch statikos* stehend, stehend machend, wägend). Betriebsspannung zum Erhalt der Daten

dRAM (dynamisch, *griechisch dynamos* Kraft), Zeit und Wiedergabe wirken zerstörend, **refresh** notwendig

rRAM (remanent; *lateinisch re-* zurück, wieder; *manere* bleiben): Daten bleiben selbst ohne Betriebsspannung erhalten = **NVM** (*englisch non-volatile-memory*, nichtflüchtig): Künftige Untertypen u.a. FRAM, MRAM und ORAM

Spezielle untergeordnete Begriffe mit Großschreibung: u.a. SDRAM und DDR-RAM

25.11.2010

Seite 73 von 181

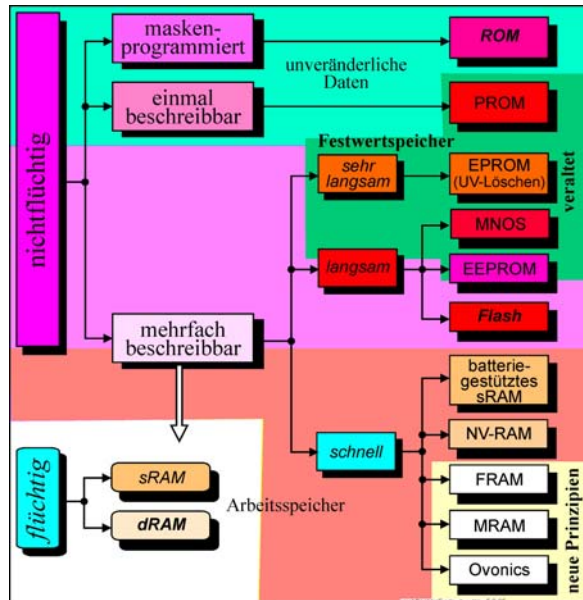
rRAM-Typen

Die wichtigsten Varianten sind:

- FRAM** benutzen ferroelektrische Kondensatoren (Ladungsspeicherung) zur Verschiebung der FET-Schwelle. Sie arbeiten bei Aufzeichnung und Wiedergabe elektrostatisch. Name ist von Ramtron (1984 gegründet) geschützt. Deswegen wird häufig **FeRAM**, jedoch z.T. umfassender, benutzt. Achtung! Unterscheiden vom nicht ferroelektrische dRAM **FCRAM** (Fast Cycle RAM)
- MRAM** gehen auf magnetische Effekte zurück. Sie werden durch einen elektrischen Strom ummagnetisiert und ändern dadurch quantenmechanisch ihren elektrischen Widerstand.
- Bei den **PRAM** (Phase Change) bzw. Ovonic (auch P-RAM, PC-RAM, OUM = organic unified memory) wird die Speicherzelle zwischen kristallin und amorph durch Wärmewirkung umgeschaltet. Dabei ändert sich der elektrische Widerstand.
- Künftig** könnten noch hinzukommen: **ORAM** (organische RAMs), **polymere** und **chemische** RAM, und noch später **Ein-Elektronen-, Quanten-, Nano-, Atom- und Molekül-Speicher**
- Mittelbar hierzu zählt auch das **NV-RAM** und teilweise auch das spannungsgepufferte **sRAM**

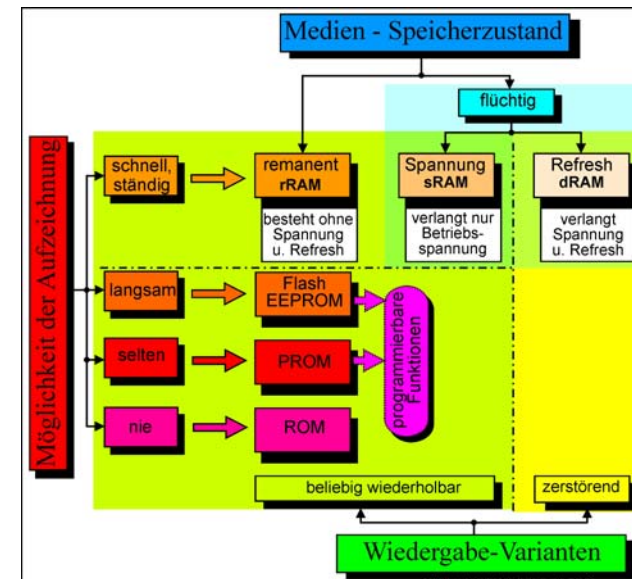
25.11.2010

Seite 74 von 181



25.11.2010

Seite 75 von 181



25.11.2010

Seite 76 von 181

NVRAM

NVRAM (**n**on **v**olatile **e**nglisch nicht vergänglich, flüchtig) ist ein sehr spezieller rRAM

Jede Speicherzelle besteht aus einem sRAM und E²PROM, zeitweilig daher auch RAM-E²PROMs genannt

Der erste wurde 1982 von der Firma Xicor vorgestellt.

Die sRAM-Matrix – jetzt meist dRAM – wird wie üblich betrieben

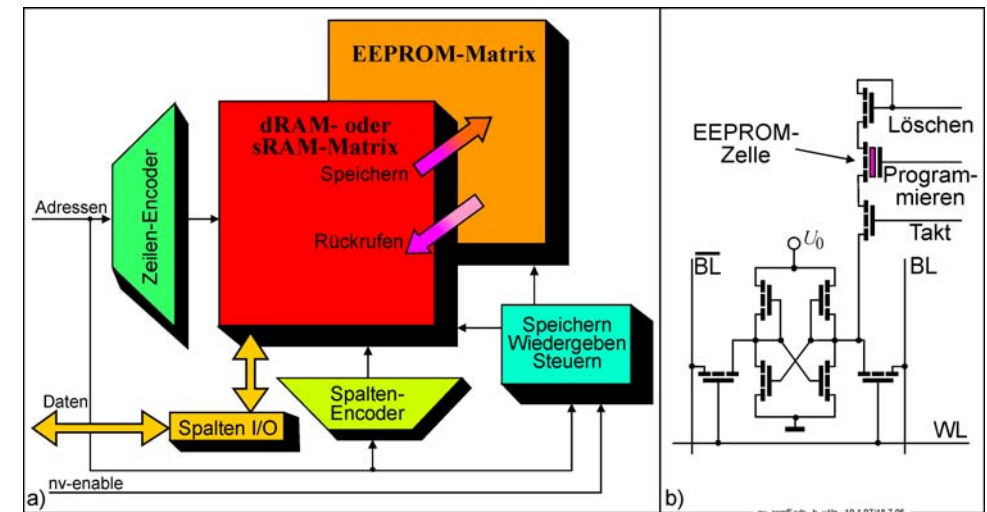
Hier kann eine **ständige Änderung der Daten** erfolgen.

Der Inhalt wird mit einem Takt (meist Sekunden) oder anderen Strategien in den E²PROM übertragen

Bei Stromausfall oder Störung können dann die nahezu aktuellen Daten aus dem E²PROM zurückgeschrieben werden

Bit-Zelle ist daher sehr aufwändig, daher nur kleine Speicherkapazität möglich

Für kritische Anwendungen ergibt sich jedoch eine sehr große Sicherheit



25.11.2010

Seite 77 von 181

25.11.2010

Seite 78 von 181

Ferroelektrika und FRAM

1920 entdeckte J. VALASEK das Rosette-Salz und die Möglichkeit der Umpolarisation von Ferroelektrika

1922 erste Elektrete des Japaner JOHUTSI hergestellt.

1955 wurden die ferroelektrischen Perovskit-Kristalle, u.a. PZT, entdeckt

1970 dauerhaft polarisierte Kunststofffolien, durch Polarisation einer Flüssigkeit (Schmelze, Lösung), anschließendes Einfrieren des Feldes, Abkühlung bzw. Lösungsmittelentzug,

Andere Verfahren benutzen Streckung der Folie oder mittels Korona-Entladung bekannt.

ca. 1980 Ferroelektrische Membran (Elektret) bei Kondensator-Mikrofonen

Ab 1992 versuchte Ramtron Effekt für Speicher (Kondensator-Dielektrikum) zu nutzen

1993 Muster **4 KBit**-Speicher, 1996 **16 KBit** und 1999 **256 KBit** (<100 ns), 2007 **4-MBit** mit 10¹⁴ Schreibzyklen

Ab 1997 auch japanische und koreanische Hersteller

2003 Zellgröße <1 μm², Zugriffszeit <50 ns, Betriebsspannung <3 V; 2005: <1,8 V

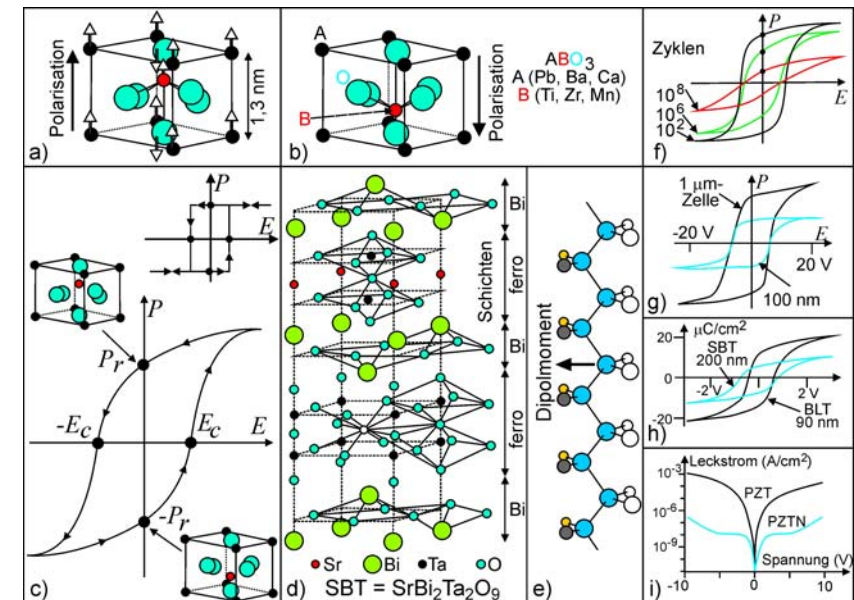
Jetzt auch Speicher mit mehr als 1 Bit je Kondensator

Besonders schwierig: neue Substanzen und Kontaktmaterialien mit der Si-Technologie zu kombinieren

Ferroelektrikum wird meist aufgesputtert (*englisch to sputter* heraussprudeln, spritzen, hier Kathodenzerstäubung)

Vorteilhaft nur zwei zusätzliche Maskenschritte bzgl. des üblichen CMOS-Prozesses

Zunächst großer Nachteil: Qualität sinkt mit Anzahl der Speicherzyklen, z.B. >10⁶



25.11.2010

Seite 79 von 181

25.11.2010

Seite 80 von 181

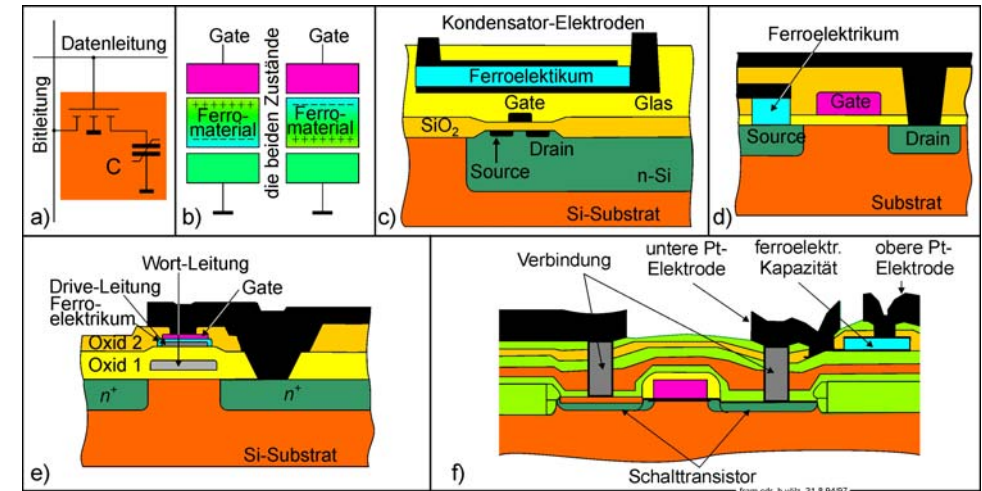
FRAM-Varianten

Es entstanden mehrere Varianten, folgende Aufzählung nicht chronologisch
 $xT \cdot xC = je$ (Bit-) Zelle $\times$ Transistoren und y ferroelektrische Kondensatoren

- **Ferroelektrische Polymerfolien** werden als Kondensatoren zwischen gekreuzte Leiterbahnen gelegt (0T-1C)
 Bei Aufzeichnung, Wiedergabe treten nur Spannungen auf $\rightarrow$ keine Widerstände erforderlich
 Mehrfache Schichtung möglich, Umfangreichen Randlelektronik bewirkt langsamen Zugriff
 z.B. Intel **polymer-basierte ferroelektrische RAM** (PFRAM)
- **FeFET** (Ferroelectrical FET) ist dRAM-ähnlich, Elektret als Dielektrikum **unterm Gate** (1T-0C)
 Epitaktisch angepasste Strukturen technologisch sehr schwierig (*griechisch epi- darauf, taktós angeordnet*)
 Diese einfache Methode hat sich bisher nicht bewährt
- Seit etwa 2000 **1T-1C** üblich. Für alle Zellen nur eine Referenzspannung $\rightarrow$ enge Fertigungs-Toleranz
 Besondere Variante „**Chain-Cell**“ (Kettenzelle) = Ferroelektrikum um 90° gedreht und über den FET gelegt
 $\rightarrow$ verlängert die Zugriffszeit, ermöglicht erheblich höhere Speicherdichte
- **2C-2T** begann für FRAM um 1992. zwei Zellen komplementär betrieben. Nachteil: viel Platz, Vorteil: technologisch einfach

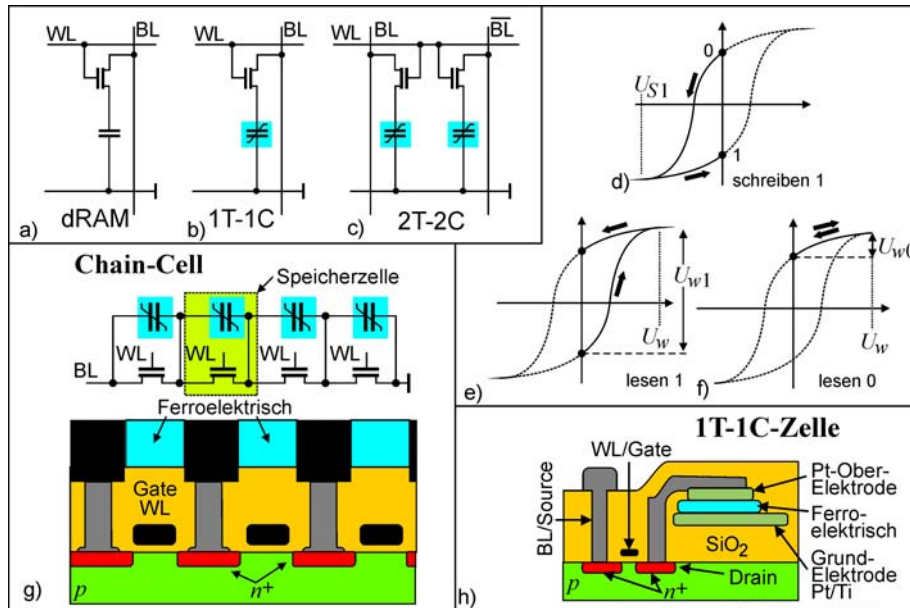
25.11.2010

Seite 81 von 181



25.11.2010

Seite 82 von 181



25.11.2010

Seite 83 von 181

Vom Elektronen-Spin $\rightarrow$ MRAM

25.11.2010

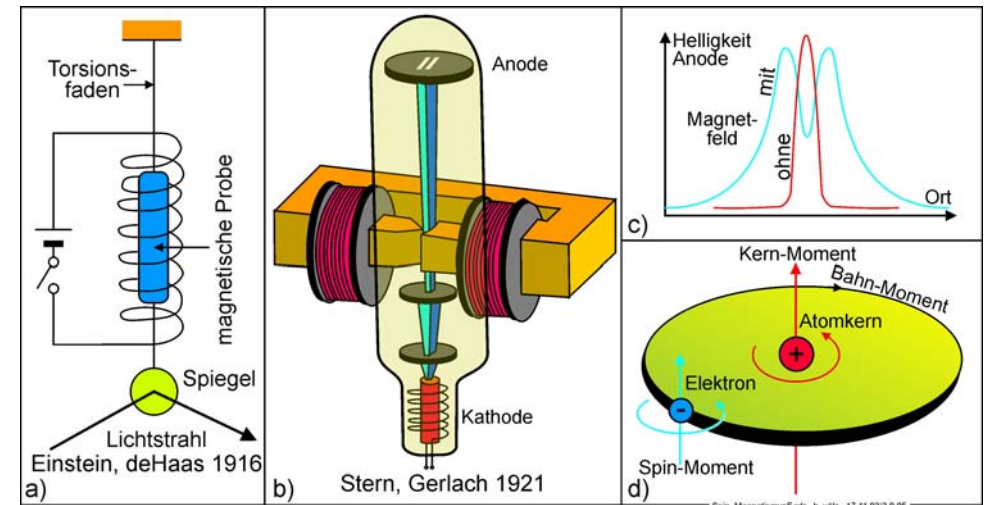
Seite 84 von 181

Spin und Stromfluss

Quantentheorie verlangt Spin als eine weitere **Quantenzahl** (hier nur anschauliche Betrachtung)
 Atom **drei** Arten: Eigenrotation des Kerns, Rotation der Elektronen um den Kern und Eigenrotation der Elektronen
 Spins müssen sich als Magnetfelder nach außen bemerkbar machen, können sich aber kompensieren (s. Magnetismus)
 1921 STERN-GERLACH-Versuch wies Spin der Elektronen nach, zwei Arten „ $\uparrow$ “ und „ $\downarrow$ “, „up“ und „down“
 „Üblicher“ elektrischer Strom beide Spin gleich stark $\Rightarrow$ rotationssymmetrischer magnetischer Wirbel um Stromfluss
 Zusätzlich bewirkt jeder **Spin** einen **transversaler Wirbel**, kompensieren sich aber durch gleiche Anteile
 Fließt der Strom durch Magnetmaterial mit Magnetfluss B , dann kann „**Spin-Flip**“ auftreten
 Elektronen mit Spin in „ungünstiger“ Orientierung kippen ihre Spin-Richtung, z.B. „ $\downarrow$ “ $\Rightarrow$ „ $\uparrow$ “
 Dabei kann, muss aber nicht die Stromstärke erhalten bleiben
 Fließt Strom anschließend durch Magnetmaterial mit entgegengesetztem Fluss $-B$,
 so erfolgt erneut eine Spin-Auswahl mit Stromreduzierung
 Es besteht Analogie zu Photonen durch **Polarisationsfilter**

25.11.2010

Seite 85 von 181



25.11.2010

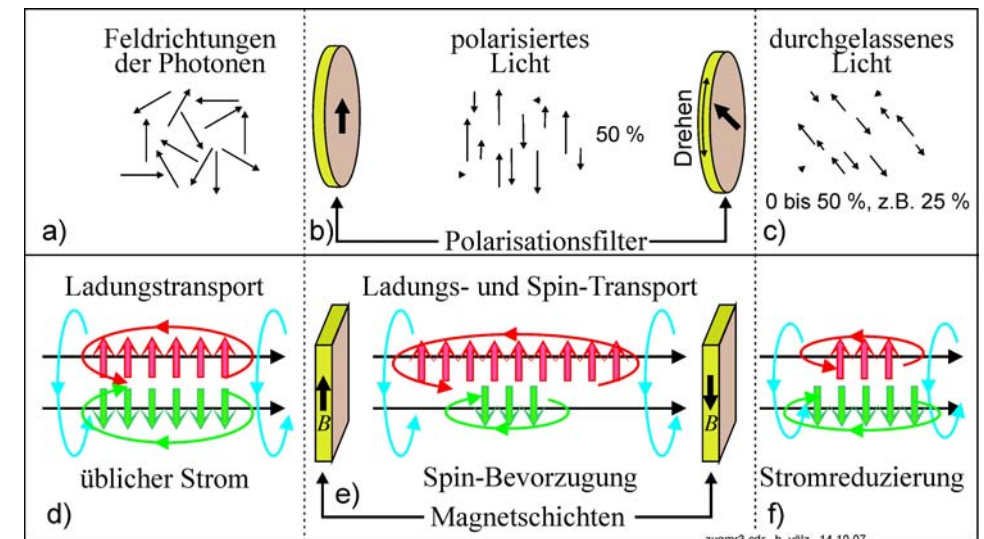
Seite 86 von 181

Voraussetzungen für MRAM

Damit nutzbare Spin-Effekte auftreten, sind komplizierte technologische Voraussetzungen notwendig
 Beide magnetische Materialien müssen **dünne**, hinreichend **magnetisch entkoppelte** Schichten (nm-Bereich) sein
 Abstand so groß, dass magnetische **Austauschkopplung entfällt**, sonst nicht frei einstellbar
 Abstand so klein, dass mittlere **freie Weglänge** (2 - 5 nm) der Leitungselektronen unterschritten wird
 Sonst würden Stoßprozesse Spin-Orientierung umkehren können
 Trennschicht von 2 bis 3 nm kann sowohl Leiter (dann GMR) als Isolator (dann Tunneleffekt) sein
 Mit Prinzip wird elektrischer **Strom über Magnetfelder gesteuert**, Bezeichnung Spin-Valve bzw. Spin-Ventil
 Der notwendige Aufbau verlangt noch zusätzlichen Schichten (s. Magnetismus)
Spin-Flip kann durch die Fermi-Kante W_F und die beiden spin-abhängigen Leitungsbänder beschrieben werden
 Wichtig ist ihre typische Verschiebung: Ni $\approx$ 1 eV, Fe $\approx$ 2,4 eV
 Beim Fe sind die 3d-Terme nicht voll belegt, im Gegensatz zu Co daher relativ leicht Spin-Flip möglich

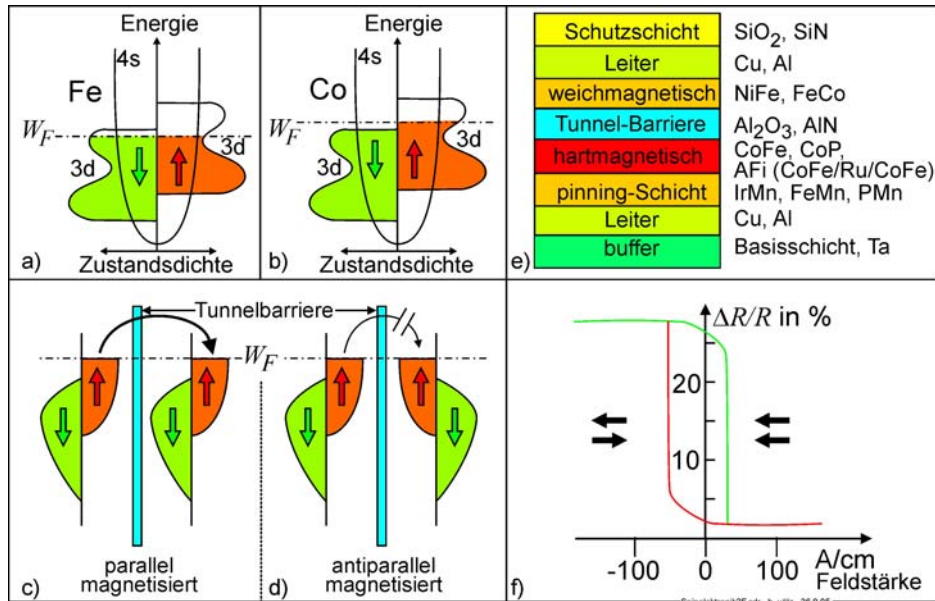
25.11.2010

Seite 87 von 181



25.11.2010

Seite 88 von 181



25.11.2010

Seite 89 von 181

MRAM

Magnetische Speicher sind die ältesten Arbeitsspeicher, entscheidender Vorteil stabile **Hysterese**

Ab etwa 1950 **Ferrit-Ringkerne**, blieben bis ca. 1970 die einzigen effektiven Arbeitsspeicher

In den 60er bis 80er Jahre großer **Forschungsaufwand Draht-, Bubble-** (Magnetblasen-) und **Dünnschicht**-Speicher

Keiner bedeutende Anwendung, hohen **Strahlenfestigkeit** im Weltraum Bedeutung

Ab 80er Jahre bis heute fast nur die Halbleiter für Arbeitsspeicher

Neuer Anstoß durch Entwicklungen bei **Festplatten**

Ca. 1985 ARTHUR POHM und JIM DAUGTON (Honeywell) führten zum 1993 patentierten

CRAM (*englisch cross-tie* gekreuzte Verbindung), Achtung nicht mit dem assoziativen CAM verwechseln!

Es wurde magnetische Anisotropie genutzt, daher auch **AMR** (anisotropic magneto resistance), erste Muster ab 2000

Bereits 1970 **Tunneleffekt** bei Tieftemperatur mit Al_2O_3 von 1 bis 5 nm (4 bis 20 Atomlagen) nachgewiesen

1994 bei Raumtemperatur von STUART PARKIN nachgewiesen, IBM erkannte die neue Speichervariante als **MTJ**

2004 IBM und Infineon demonstrieren 16-MBit-MTJ-Speicher

2006: Freescale 4 MBit-MRAM: 4 MBit, 3,3 V, 35 ns, Lese-/Schreibstrom 55/105 mA, Standby 9 mA, 15 S

Vorteile MRAM: Schaltgeschwindigkeit < 1 ns (Randlelektronik langsamer), wenig Energie, Daten bleiben auch ohne

Strom erhalten, beliebig oft löschen und überschreiben, Platzbedarf < dRAM: $4 \text{ F}^2 \Leftrightarrow \text{sRAM } 150 \text{ F}^2$: $\varnothing \approx 30 \text{ nm}$,

strahlungssicher z.B. Weltraum, großer Temperaturbereich

Aufzeichnung mit Strom, der einen magnetisierbaren Bereich umschaltet und so eine „1“ bzw. „0“ remanent einstellt

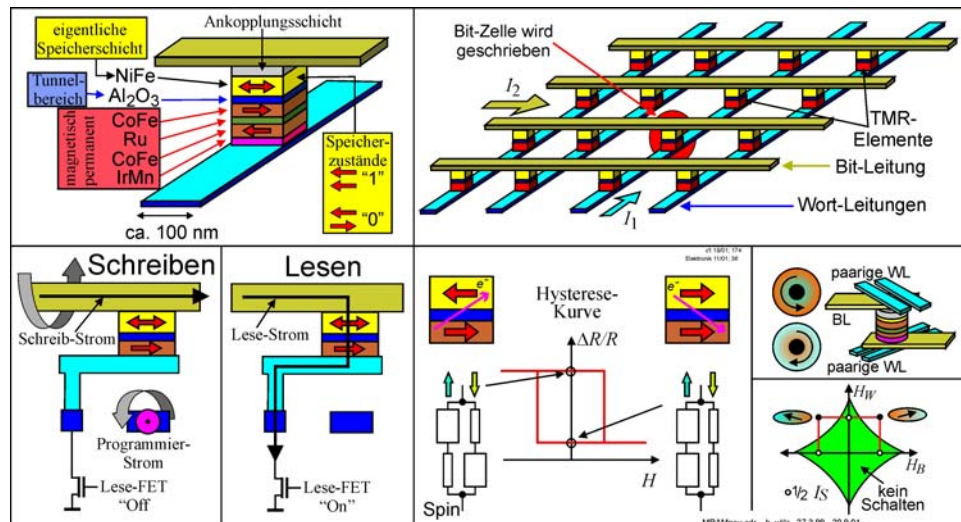
Damit Strom klein, sehr kleine Zellen mittlerer Koerzitivfeldstärke

Leitungen dicht an den Zellen, Schreibleistung etwa 10 bis 200 pJ/Bit

Wiedergabe mehrere Effekte möglich, z.B. Stromdurchgang = GMR, Hall-Spannung, Tunneln, optimal über Strom an R und FET

25.11.2010

Seite 90 von 181



25.11.2010

Seite 91 von 181

PCRAM

25.11.2010

Seite 92 von 181

Geschichte

Zum Speichern ist der reversible Wechsel amorph ↔ kristallin brauchbar
Um 1920 wurde die Änderung der elektrischen Leitfähigkeit beim **Chalkogenids MoS₂** entdeckt
griechisch chalkós Kupfer, Bronze
Allgemein werden so erzbildenden Stoffe mit den Elementen O, S, Se, Te und Po bezeichnet.
In den 50er Jahren begannen Arbeiten zu den halbleitenden Eigenschaften
Ab etwa 1960 unabhängige Arbeiten, u.a. PEARSON, SOUTHWORTH und KOLOMIEZ auch optische Eigenschaften
Um 1965 gewinnt **STANFORD OVSHINSKY** (*ca. 1924) wesentliche neue Erkenntnisse
Er schlägt 1968 vor, die Widerstandsänderung bezüglich amorph ↔ kristallin für elektronische Speicher zu nutzen
Er demonstriert seine Ergebnisse ROBERT NOYCE und GORDON E. MOORE, die gerade Intel gegründet hatten
1970 wurde dann von MOORE, D.L. NELSON und R.G. NEAL eine erste nichtflüchtige chalkogene Speicherzelle erprobt
Da bei Intel kaum weiteres Interesse bestand, gründete OVSHINSKY für derartige Speicher die Firma Ovonyx
70er Jahre erster PCRAM mit 16 × 16 = 256 Bit. Ø = 5 µm. 50 - 150 ns. 20 Cent/Bit = 20-mal teurer als ROM
Seit 1990 erfolgt eine breite Anwendung bei wiederbeschreibbaren opto-motorischen Speichern
Hierdurch neue, weitaus besser geeignete Materialien gefunden → neue Ansätze für elektronische Speicher
2004 Samsung 64 MBit-Schaltkreis, 10 Jahre Garantie bei 110 °C. Zelle mit 9 Bit = 512 Stufen demonstriert
Um 2005 Philips eine spezielle Ausführungsform: „**Phase Change Line Memory**“ und „Line Cell Speicher“ (s.u.)
2007 Numonyx Intel und STMicroelectronics 256-MBit-PRAM mit 2 Bit/Zelle (MLC = Multi-Level Cell)

Heute und Namen

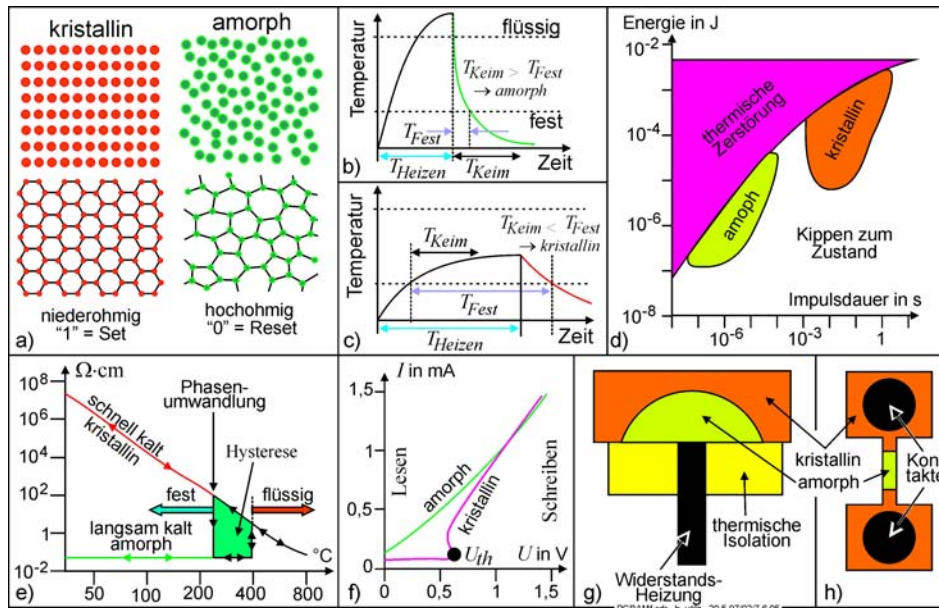
Heute arbeiten u.a. Ovonisc, Azalea und Intel intensiv an der Einführung solcher Speicher
So sind **mehrere Namen entstanden**
OUM (o**v**onics u**n**ified **m**emory. Achtung! **organic** ist falsch!, gilt nur für Vorstellungen nach OVSHINSKY
Allgemein für Phasenwechsel amorph ↔ kristallin **PCRAM**, **PRAM** oder **P-RAM** (p**h**ase c**h**ange)
Glas ältester, bekanntester amorpher Werkstoff, wird auch von **glasartigen Speichern** (Glasspeichern) gesprochen
Micron benutzt Begriff **PMC** (p**r**ogrammable **m**emory cell).
Wegen der Chalkogenide wird auch **C-RAM** (c**h**alcogenide) benutzt (Achtung! nicht mit CAM verwechseln!)
Ursprünglich hat OVSHINSKY vor allen Selenverbindungen oder organische Gläser benutzt
Heute Gemische aus Ge, Sb (Antimon) und Te,
z.B. GeTe, dotiertes SbTe, Sb₂Te₃, Ge_xSb_yTe_z, Ge_{1,5}Sb₂Tb₄+12 % Leestellen

Betrieb und Eigenschaften

100 bis 200° unterhalb des **Schmelzpunktes** kann sich die angenommene Phase nicht mehr ändern
Die thermische Energie ist zu gering, um die Schwelle zwischen beiden Zuständen zu überwinden
An der Grenze zur Flüssigkeit lassen sich beide Varianten erreichen = **Hysterese-Bereich**
Für jeden Zustand gibt es typische Zeitdauern und Temperaturen
Werden durch **Stromimpulse** eingestellt, Bei CD-RW usw. durch **Laserimpulse**
Hohe Temperatur + schnelle Abkühlung lässt keine Zeit zur Keimbildung, Material erstarrt sofort **amorph**
Langsame Abkühlung + etwas **niedrigere Temperatur** lässt Keime bilden und **kristallines** Material entstehen
Wegen vieler **Fehlstellen** besitzt der **amorphe** Zustand einen relativ **niedrigen Widerstand**
Der kristalline Zustand besitzt einen großen Bandabstandes und hohen Widerstand, der mit 1/T sinkt
Die Widerstände unterscheiden sich um mehrere Zehnerpotenzen: $RH \approx 10^6 - 10^{12} \Omega$ und $RN \approx 1 - 500 \Omega$
→ **sehr große Störabstände** → kleinste Materialmengen genügen (mehr Bit je Zelle)
Material in der **amorphen** Phase besitzt meist **mehr Volumen** als kristallines
Um Irregularitäten und Materialrisse zu vermeiden, sind **sehr dünne Schichten** erforderlich
Amorphes Material hat auch höheren Energieinhalt. Daher ist dieser Zustand metastabil, Tendenz zum Kristallisieren
Metastabilität ist so stark ausgeprägt, dass bei Zimmertemperatur mindestens Jahrzehnte notwendig sind
10¹⁴ Programmierzyklen möglich, hohe Strahlungsfestigkeit
Grenze der Speicherdichte stellt thermisches Übersprechen dar.
Jede Speicherzelle benötigt nur eine Diode, typisch 1/3 der Fläche anderer Speicher

Speicherzellen

Typisch für PCRAM ist eine säulenförmige Bottom-Elektrode als Widerstandsheizer, wegen 600°C aus Spezialmetall
Darüber das PCRAM-Material und dann eine metallische Abdeckung, ferner ist Wärme-Isolierung erforderlich
Durch Stromimpuls bildet eine „Kuppel“ als amorpher Zustand aus
Anfangs waren mehrere 100 mA mit 50 ns, heute sind durch Verkleinern der Strukturen nur wenige mA notwendig
Es besteht sehr gute Skalierbarkeit, bis zu wenigen nm möglich, erhöht zugleich die Schaltgeschwindigkeit
Für Kristallisation ist deutlich weniger Strom notwendig; einige 10 bis 100 µA von 100 ns
Es gibt auch Multilevel-Speicherung durch Änderung des Umwandlungsvolumens
2004 Philips „Line-Cell“-Speicherzelle mit vielen Vorteilen, benötigt aber mehr Chipfläche
Zwischen zwei Kontakten einem dünnen, 50 nm langen Streifen aus dotiertem SbTe, darunter Wärmeisolation
Die Teilbilder stammen aus Artikeln, die unterschiedliches Material betreffen und zu unterschiedlicher Zeit publiziert wurden
Daher sind die Kurven untereinander kaum vergleichbar. Sie wurden so ausgewählt, dass die Zusammenhänge erklärt werden



25.11.2010

Seite 97 von 181

Vergleiche der neuen rRAMs

dRAM-Preise 2008 ca. 5 μ Cent/Bit, 2015 $\rightarrow$ 0,05, Tendenz (unsicher) könnte neue Varianten unmöglich machen
Es wird dennoch immer nach neuen rRAM-Varianten gesucht s.u.
Dabei auch Nano-, Atom-, Ein-Elektronen- und z. Z. Tieftemperatur-Speicher, jedoch erst langfristig in ca. 10 Jahren
Möglichkeiten und Probleme der damit zusammenhängenden **Quantenphysik** werden später behandelt
Vorläufiger, unsicherer Vergleich typischer Eigenschaften: **grün** positiv, **rot** negativ
Wiedergabezeit bei allen, mit Ausnahme des dRAMs, ca. 10 ns.

Forderungen [Wunschwerte]	dRAM	sRAM	Flash	FRAM	MRAM	PCRAM
Beständig ohne Energie	-	$\pm$	+	+	+	+
Aufzeichnung ohne Löschen	+	+	-	+	+	+
Zerstörungsfreies Auslesen	-	+	+	-	+	+
Neu beschreibbar [$\rightarrow\infty$]	∞	∞	10^6	10^{14}	$\rightarrow\infty$	10^{12}
Schreibleistung/Bit [$\rightarrow 0$]	0,3 mW	$\rightarrow 0$	5 mW	0,3 mW	20 mW	3 mW
Fläche ($\approx x$ -fach) [$\rightarrow 0$]	1	6	0,5	2	0,5	0,3
Zugriff Aufzeichnung [$< ns$]	$< 0,1 \mu s$	$\approx 10 ns$	$> \mu s$	$< 0,1 \mu s$	$< 50 ns$	$< 0,1 \mu s$

25.11.2010

Seite 98 von 181

Weitere Speicherzellen 1

Auch mit mehreren **organischen** Materialien wird versucht Speicherzellen zu entwickeln
Erfolgreich sind entsprechende Varianten bereits der optischen Speicherung (Fotographie, CD-R usw.) benutzt
Hierbei erfolgen allerdings Aufzeichnung und Wiedergabe mittels Licht
Für künftige rRAM sind jedoch Varianten mit elektronischer Aufzeichnung/Wiedergabe und Reversibilität erforderlich
Leider existiert hierzu der **Skandal** um JAN-HENDRIK SCHÖN, der 1998 bis 2002 gefälschte Daten zu organische Transistoren publizierte

Inzwischen ist aber dennoch klar geworden, dass hier ein mögliches Potential für neue Speicher liegen könnte
Hinzu kommt, dass sich entsprechende **dünne Schichten mehrfach übereinander schichten** lassen $\rightarrow$ große Speicherkapazität

Seit 2003 arbeitet bei **Philips** mittels Tetracen

= orangegelber Kohlenwasserstoff aus vier aneinander gefügten Benzolringen

Entsprechende Einkristalle weisen in dünnen Schichten auf Silizium gute Speichereigenschaften auf

Andere Variante fügt **zwischen zwei Goldkontakten** organische Moleküle bzw. Substanzen von ca. 50 nm Größe ein
Elektrische Felder bewegen ihre Orbitale so, dass sie sich überlappen und das Material dabei leitend wird

25.11.2010

Seite 99 von 181

Weitere Speicherzellen 2

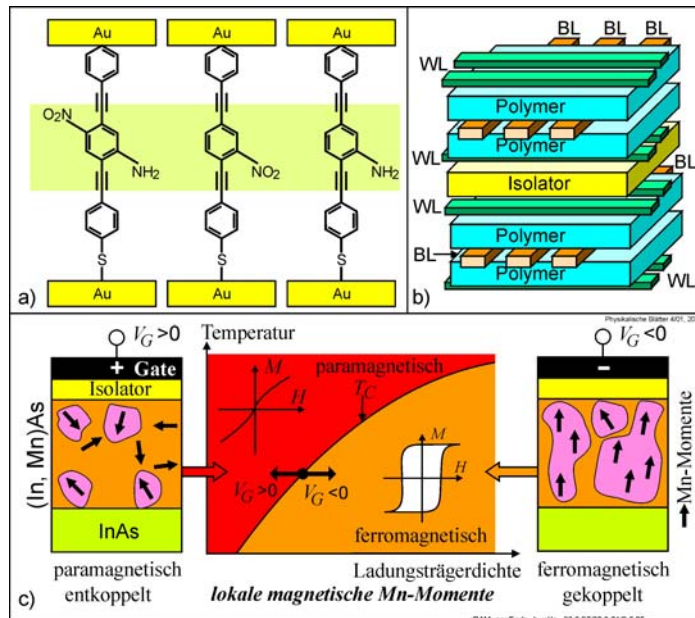
Infineon und Axon Technologies entwickeln eine Speicherzelle mit reversiblen Festkörper-Elektrolyten
= CB-RAM (conductive bridging) = PMCm (metallization cell memory)
Anode enthält ein oxidierbares Metall (z.B. Ag) in Lösung enthält,
arbeitet mit $\approx 0,3$ V, Ionen-Strom mA-Bereich und ns-Zugriff
Metallisch galvanische Abscheidung bewirkt im Elektrolyt mit ≈ 1 m/s eine leitende Brücke hervor
Grenzzustände „0“ und „1“ liegen bei 10^8 bis $10^{11} \Omega$ und $10^5 \Omega$, Grenze bestimmt die Lithographie

2001 wurde eine Speicherzelle beschrieben, die **zwischen Para- und Ferromagnetismus** umgeschaltet werden kann
Ferromagnetischer III-V-Halbleiter (In, Mn)As. Bei 4 % Mn wird eine Curie-Temperatur < 30 K erreicht, ± 125 V

1894 postulierte PIERRE CURIE (1859 – 1906) die Existenz eines **magnetoelektrischen Effekts**
Die Magnetisierung kann durch ein elektrisches Feld oder umgekehrt beeinflusst werden auch multiferroisch
Seit einigen Jahren wurden solche Effekte für BiMnO₃ bei 105 K gefunden
Auch einige Oxide, wie Pr_{0,7}Ca_{0,3}MnO₃, der Cr-dotierte SrTiO₃ oder La_{0,1}Bi_{0,9}MnO₃ (LBMO) könnten geeignet sein
Es wären so die Vorzüge MRAM und FeRAMs zu kombinieren
s. z.B.: Physik Journal 11/04, S. 21, 6/05; S. 45, 8+9/08, S. 99

25.11.2010

Seite 100 von 181



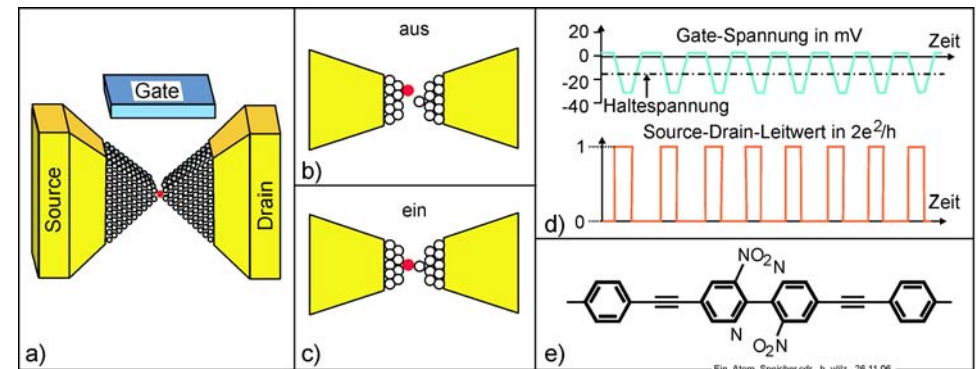
25.11.2010

Seite 101 von 181

Speicherschaltungen

25.11.2010

Seite 103 von 181



25.11.2010

Seite 102 von 181

Abgrenzung von RAM $\Leftrightarrow$ Register, Puffer, Stack usw.

Eigenschaft	Schieberegister, Puffer usw.	Speicherschaltungen
Anzahl der Speicherzellen (FF)	Meist nur 2 bis 32	Bis zu Milliarden
Anordnung der Speicherzellen (FF)	Vorwiegend seriell	Matrixförmig
Verändernde Funktionen	Speichern und Verarbeiten	Nur Speichern
Zugriff auf die Daten	Direkt oder verschieben	Über Adressierung
Datenspeicherung	Meist statisch und FF	Viele RAM-, ROM-Varianten

Später wird noch auf spezielle **sequentielle** Speicher, wie BBD, CCD usw. sowie den **assoziativen** Speicher (CAM) eingegangen

25.11.2010

Seite 104 von 181

Überblick

Die **Speicherzelle ist der Kern** aller elektronischen Speicher, doch erst (sehr) viele ergeben einen nützlichen Speicher. Dann ist **hohe Speicherdichte** notwendig. Heutige Halbleitertechnik kann sie nur nebeneinander auf der **Oberfläche eines Chips** anordnen. Ideal wäre **hexagonale Packung** (Bienenwabe), technologisch jedoch **Matrixform** vorteilhaft. Dann nämlich horizontalen und vertikalen Wiederholungen und Leitungsführungen günstig → Matrix-Struktur. Dann erfolgt die Auswahl über **Bit- und Wortleitungen** (BL, WL bzw. B, W).

Bei der Nutzung der Speicherzellen sind **drei Funktionen** wichtig:

- **Aktivierung** = Auswahl (Adressierung) von Speicherzellen
- **Schreiben** 0 oder 1 erfolgt über **Setz-Eingänge** (set)
- **Wiedergabe** der gespeicherten Informationen.

Eventuell sind chip select, chip enable (CS, CE), write enable (WE), output enable (OE) und Takt (C) vorhanden.

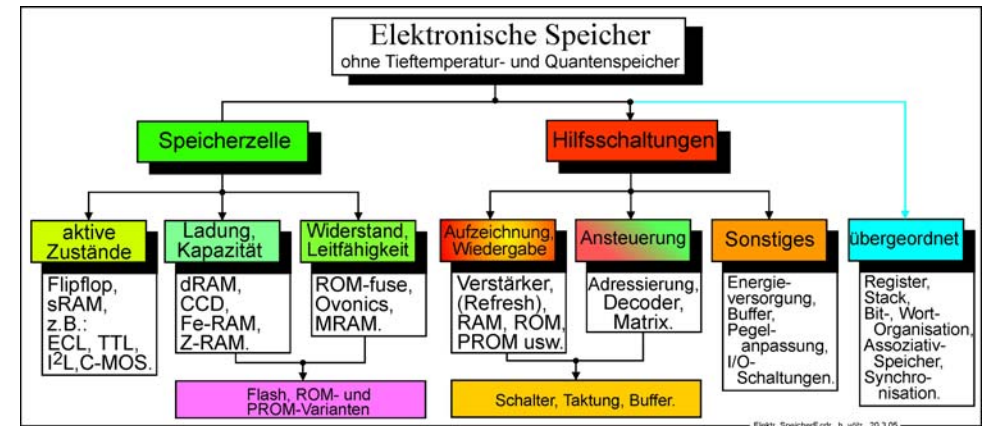
Leitungsfähigkeit eines Speichers hängt jedoch nicht nur die Anzahl der verfügbaren Speicherzellen ab. Zusätzlich sind **umfangreiche „Ergänzungen“** notwendig, zusammengefasst unter Begriff **Hilfsschaltungen**. Betrifft z.B. **Aufzeichnung, Wiedergabe, Zugriffszeit und Datensicherheit**.

Eine feinere Gliederung ergibt sich, wenn nur die Speicherschaltungen betrachtet werden.

Sie werden anschließend getrennt behandelt, lediglich auf die Zusatzeinrichtungen wird nicht eingegangen. Sie besitzen kaum Besonderheiten gegenüber anderen elektronischen Schaltungen.

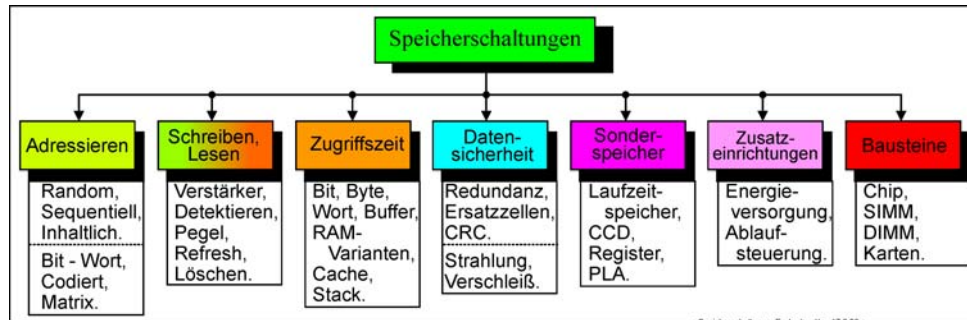
25.11.2010

Seite 105 von 181



25.11.2010

Seite 106 von 181



25.11.2010

Seite 107 von 181

Adressierung der Speicherzellen

Beim Aufzeichnen, Wiedergeben aus der Vielzahl einzelne Speicherzellen ausgewählt werden, Zugriffs-Varianten:

- **Random:** (alle RAM) Speicherzellen „besitzen“ eine Adresse zur Auswahl, nur sie wird im Folgenden behandelt.
- **Sequentiell:** Zellen sind in einer feststehenden Reihenfolge angeordnet, die durchlaufen werden muss, u.a. Schieberegister, Umlauf- und Laufzeitspeicher, wie CCD oder Eimerketten-speicher (später), teilweise auch Register, Stack und Cache.
- **Assoziativ:** Auswahl erfolgt nach gespeichertem **Inhalt** erfordert komplizierte Speicher (später).

Für **RAM** sind dazu mehrere Adressierungen möglich bzw. notwendig.

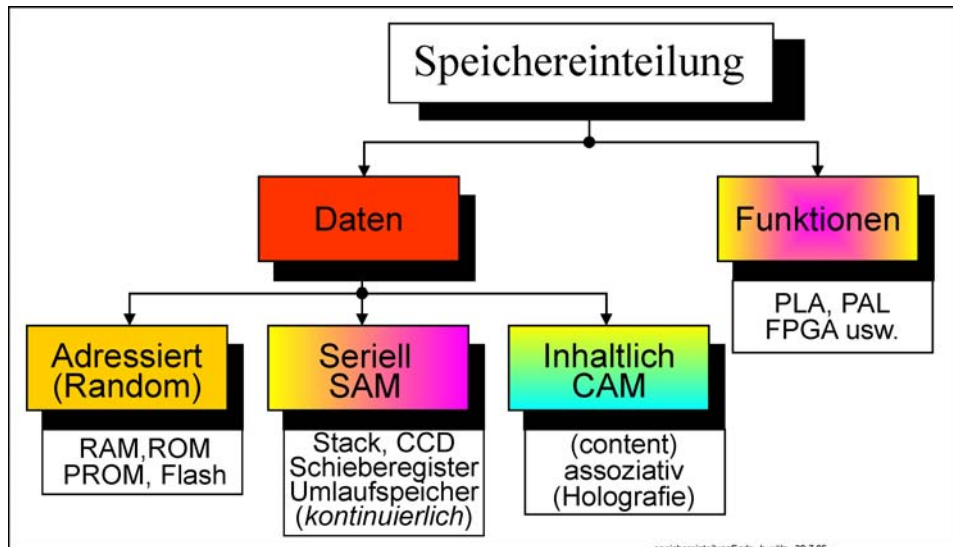
Sie leiten sich aus der Kombination von drei (vier) alternativen Methoden ab.

Sie sind so wichtig, weil bei den Speichern die Pin-Zahl deutlich begrenzt ist.

1. Auswahl **linear ↔ per Matrix:** für m Zellen $m \leftrightarrow 2 \cdot \sqrt{m}$ Anschlüsse (Schalter, Auswahlleitungen) erforderlich. Der Vorteil weniger Anschlüsse wird durch Nachteile bei Zugriff auf die einzelne Zelle erkauft. Es gibt nämlich „halb“ und vollständig angewählte Zellen → zusätzliche logische Entscheidung in jeder Zelle.
2. Noch stärkere Reduzierung der Anschlüsse bringt **direkte → codierte Auswahl**. Erfordert zusätzlich En-, Decoder bzw. Multiplexer: k Eingänge des En-, Decoders ermöglicht $2k$ Auswahlen. Erhöht außerdem noch einmal die Zugriffszeit.
3. Die Variante **1 Bit ↔ n-Wort** ist sinnvoll für eine bestimmte Bit-Breite (Byte oder Wort). Erhöht aber die Pin-Zahl, senkt eventuell die Zugriffszeit.
4. **RAS-CAS** (row bzw. column address select oder strobe = Zeilen-, Spalten-Wahl) erfolgt nacheinander mit Zwischenspeichern. Erhöht technischen Aufwand, halbiert Pin-Zahl und verlängert Zugriff.

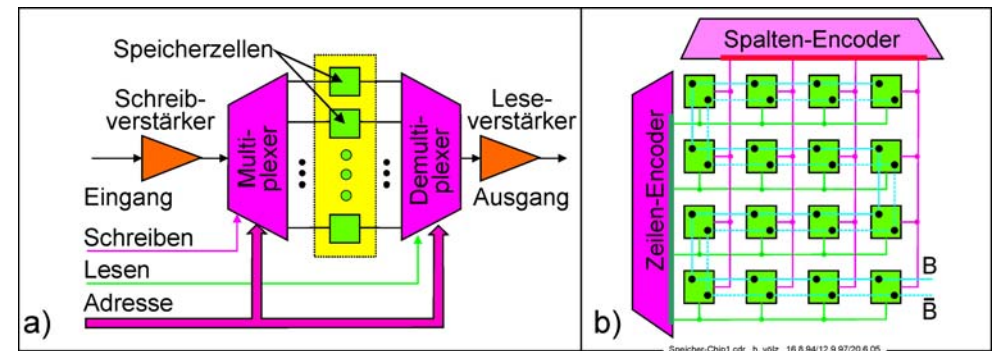
25.11.2010

Seite 108 von 181



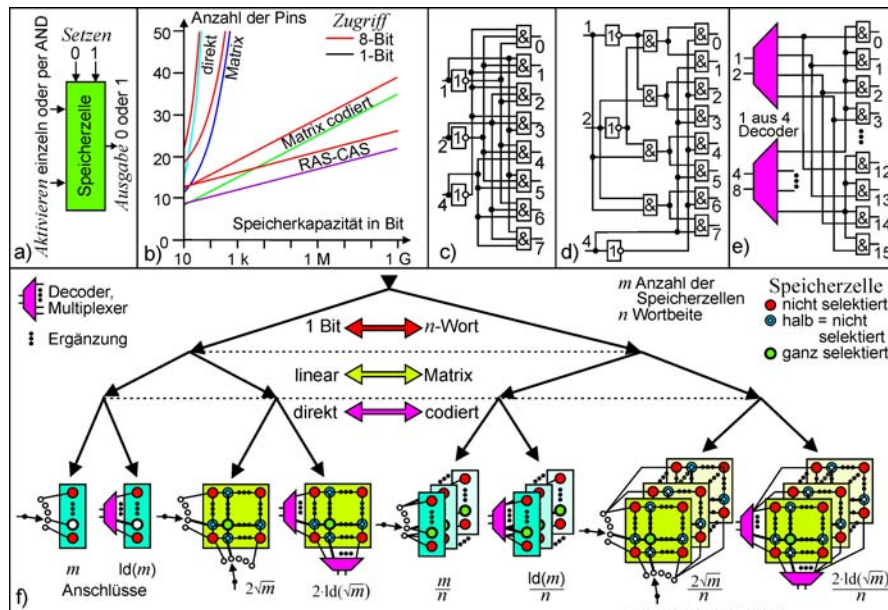
25.11.2010

Seite 109 von 181



25.11.2010

Seite 110 von 181



25.11.2010

Seite 111 von 181

Randelektronik

U.a. Wiedergabeverstärker, Eingangs-/Ausgangstreiber, Pegelanpassungen, Taktgeneratoren, Fehlerkorrektur
Beim dRAM kommen Refresh-Schaltungen hinzu

Diese Schaltungen wurden im Laufe der Entwicklung immer umfangreicher
Heute macht die eigentliche Speicher-Matrix nur noch einen kleinen Teil der Oberfläche eines Speicher-Chips aus

Mitte der 60er Jahre entstand die TTL-Technik und mit ihr der erste kleine 16-Bit-sRAM als **Baustein 7481**

Speicherzellen sind FFs in Multi-Emitter-Technik in Matrix-Anordnung → Schreiben, Lesen auswählen

Die Adressen sind noch nicht codiert. Es werden zwei Schreib-Lese-Verstärker (SV, LV) benutzt, je einer für 0 und 1
Weitere Details enthält [VÖL89, S. 733f.]

Größere Speicherkapazitäten verlangen hochempfindliche Wiedergabeverstärker = **Differenzverstärker**

Bei dRAM sind Dummy-Zellen mit C/2 erforderlich (*englisch dummy* Attrappe; Schaufensterpuppe)

Heute enthält ein Speicherschaltkreis **mehrere** Matrix-Strukturen (**Speicherblöcke**).

Einen typischen **64-KBit-Speicher** um 1980 mit 1-Bit-Breite zeigt das folgende Bild

Er enthält 4 Speicherblöcke zu je 128×128 Bit (16 KBit), 512 Verstärker und eine erhebliche Randelektronik

Im Bild nicht eingezeichnet sind Taktgeneratoren, Refresh-Schaltung usw.

Die heutigen GBit-Chips sind noch erheblich komplexer, enthalten viele und größere Matrizen (bis etwa 2048×4096)

Leistungsverbrauch ist u.a. infolge umfangreicher Schaltkapazitäten und höherer Taktfrequenzen stark angestiegen
Als teilweise Gegenmaßnahme wurde die **Betriebsspannung** deutlich gesenkt

25.11.2010

Seite 112 von 181

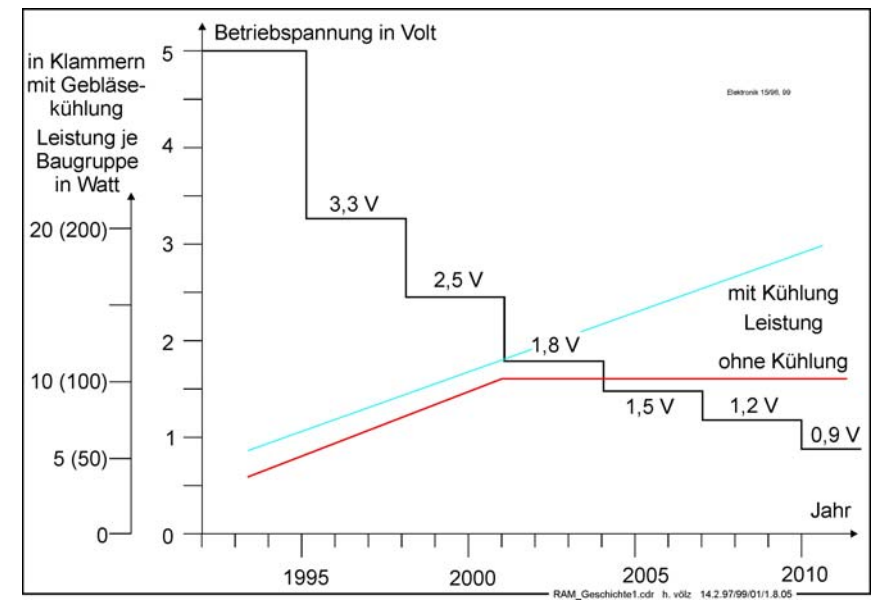
Flächen- und Leistungsanteile

Für einen typischen Chip der 80er Jahre (leider keine neueren Daten)

in %	Fläche	Leistung
Speichermatrizen	50	4
Decoder	15	4
Taktgeneratoren	10	60
Leseverstärker	7	25
Sonstiges	10	7
Freifläche	8	0

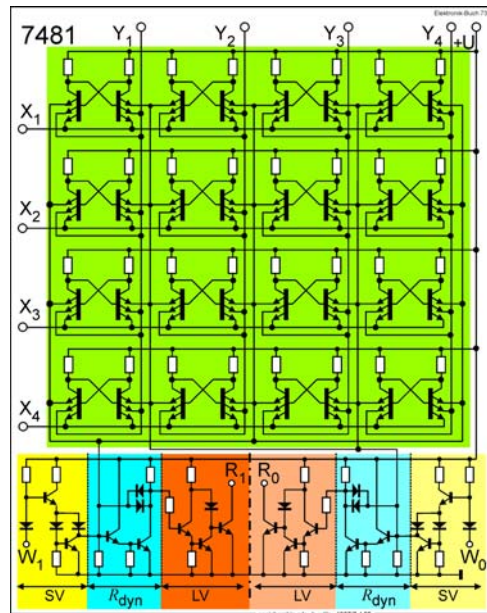
25.11.2010

Seite 113 von 181



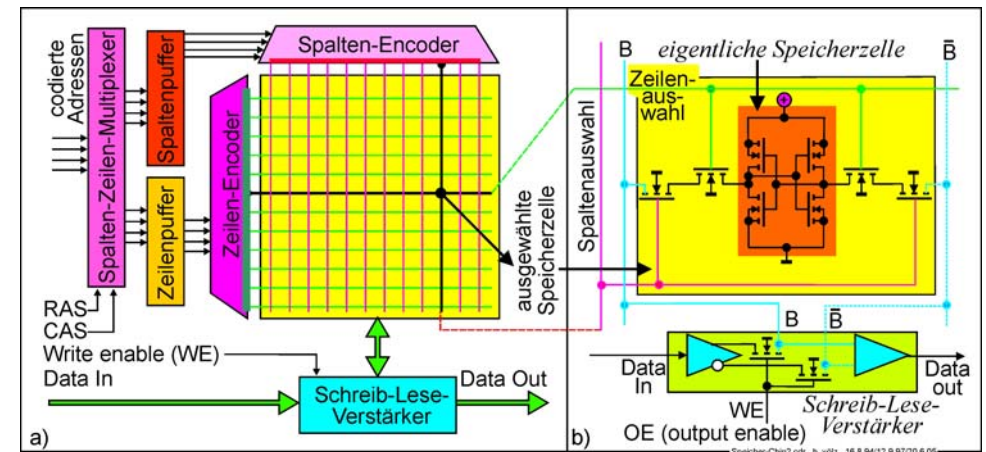
25.11.2010

Seite 114 von 181



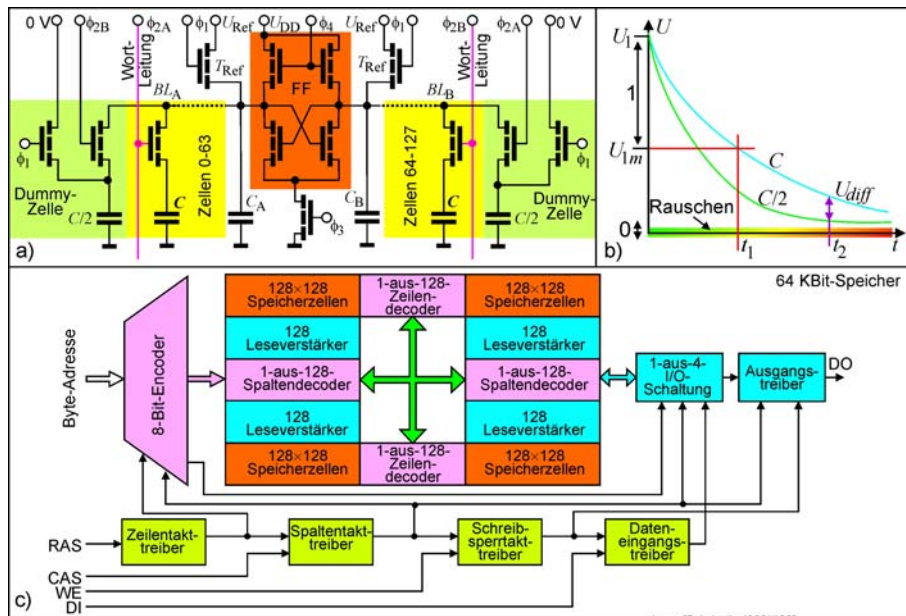
25.11.2010

Seite 115 von 181



25.11.2010

Seite 116 von 181



25.11.2010

Seite 117 von 181

Zugriffsprobleme

Zunächst waren **dRAM-Speicher schneller als CPU**, um 1983 waren beide gleich schnell, danach Speicher langsamer. Die CPU musste immer mehr Wartezyklen (**wait states**) einlegen. Ab etwa 1990 blieben Speicher wegen Refresh-Zyklen, Verzögerung Adressregistern, Leseverstärker usw. bei etwa 50 ns stehen.

Es wurden neue **Speicher-Varianten** und Rechner-Architektur notwendig.

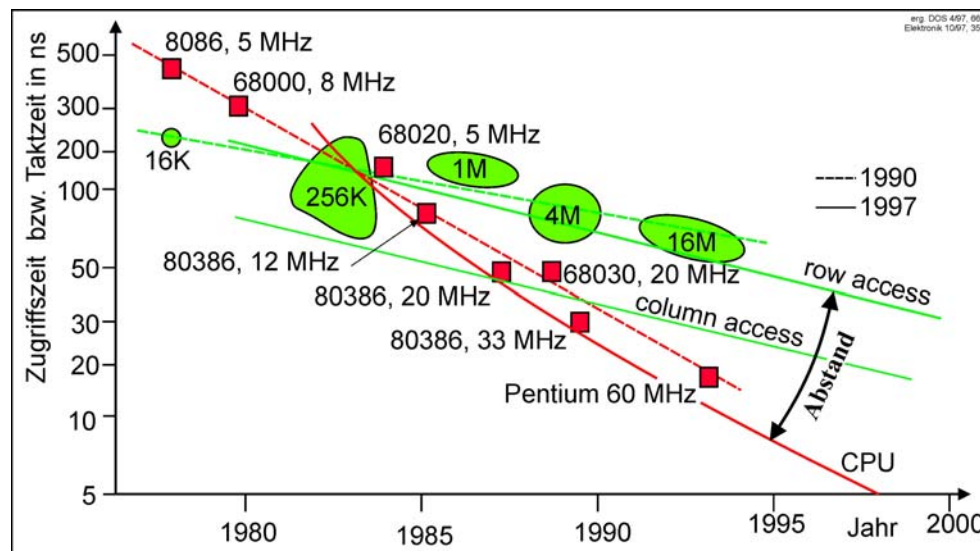
Es entstanden mehrere **Cache** (sRAM) und Speicherschaltungen mit komplexerem Aufbau.

Weitere Probleme brachte der immer größere **Adressraum**.

Busbreite	Adressraum
16 Bit	64 KByte
24 Bit	16 MByte
32-36 Bit	4 – 64 GByte
64 Bit	16 TByte

25.11.2010

Seite 118 von 181



25.11.2010

Seite 119 von 181

dRAM-Arten 1

Varianten der Betriebsart sind: asynchron, synchron und seriell.

Ursprünglich einzelne Speicher-Zelle durch Abfolge **RAS -CAS** aufgerufen.

Oft nacheinander auch Inhalte benachbarter Speicherzellen benötigt → RAS „stehen“ lassen, nur CAS-Wechsel = **FPM-RAM** (fast page mode) = **PM-RAM**; Page (englisch Seite) = alle Speicherzellen einer Spalte + Wortbreite. Je Zeile ein Leseverstärker ohnehin nötig, daher Zwischenspeicherung möglich, Ohne RAS Ausgabe deutlich schneller. Gemittelte Zugriffszeit je Bit sinkt von etwa 60 auf 30 bis 40 ns. Typisch wait-state-cycles 5-3-3-3.

EDRAM (enhanced dRAM), zusätzlich sRAM-Cache für die ganze Spalte mit 3-1-1-1 Zyklus → 25 ns.

Bei Cache-Hit kann nach etwa 15 ns zur nächsten Speicherzeile, wenn Page im Cachet, sofort nächste Zeile per RAS.

EDO-DRAM (extended data output = hyper page mode) zusätzliches seriell Register puffert Ausgangsdaten länger. Datenzugriff nicht durch Rückflanke des CAS-Signals, sondern intern bestimmt → 5-2-2-2 → 15 ns.

BEDO-DRAM (burst extended data output) vier zusammenhängende Adressen ab einer CAS-Adresse als Burst = lead off cycle → entfallen drei weiteren CAS → 10 ns weitere Daten verfügbar (Pipeline), 5-1-1-1-Zyklus.

Bisher bestimmen fallende Flanken der RAS- und CAS-Signale die Betriebsfunktionen.

SDRAM (synchrones dRAM) = VC-SDRAM = **VCM** (virtual channel memory).

Steuersignale CS, WE, RAS und CAS gespeichert.

Steuerlogik löst dann die folgende, steigende Flanke des Bus-Taktsignals die entsprechende Funktion aus.

→ erspart wait-Zyklen.

25.11.2010

Seite 120 von 181

dDRAM-Arten 2

PC-100 (später **PC-133**, **PC-166**) Bus-Takt von 66 auf 100 MHz usw. erhöht

Üblich mehrere (≥ 2) Speicherbänke benutzt (interleave) betreffen niederwertiges Adress-Bit

Bei 100 MHz Taktunsicherheit in einer Bank $\leq 2,2$ ns $\rightarrow$ zusätzliche PLL (phase locked loop) zur Stabilisierung
Abwechselnder Zugriff Burst-Längen von 2, 4 oder 8 Bit

Pipeline für Blockstartadressen der Bänke: $n-1-1-1$ mit $n = 2, 3, 5$

ESDRAM (enhanced SDRAM) = funktions- und pinkompatible zum SDRAM

sRAM-Zeilenspeicher (row cache) je Speicherbank, Takt 166 MHz

SDL-RAM (synchronic data link), 1999 in **DDR-RAM** umbenannt (double data rate, präziser DDR-SDRAM)

Mit Taktfrequenz und Speicherkapazität (Leitungs-C) nimmt **Energieverbrauch** trotz reduzierter Spannung zu
Deshalb indirekten Verdopplung $\rightarrow$ fallende + steigende Flanke des Taktsignals

Es folgen **DDR200** 200 MBit/s, Takt = 100 MHz, **DDR266** 133 MHz, **DDR333** 166 MHz und **DDR400** 200 MHz
Zeitfenster immer kleiner, Bild: DDR400 Speicher-Zugriffszeit, t_{lv} Daten-Laufzeitverzögerung und t_{vs} Taktversatz

Notwendig: Strobe-Signal, gleichzeitig Daten anzulegen, Zeitversatz t_{align} Daten- $\leftrightarrow$ Strobe-Signal, $t_{valid} \approx 2$ ns

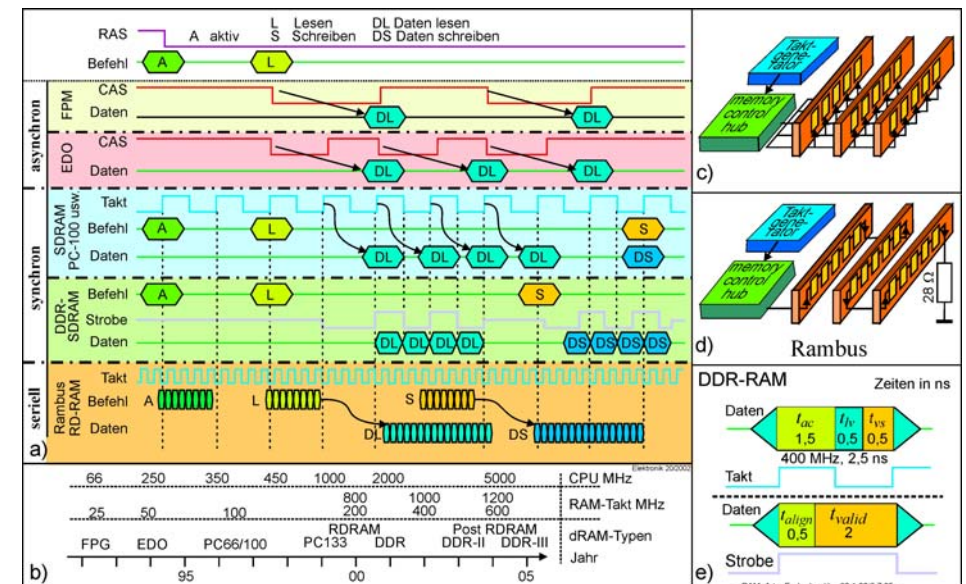
DDR2-DRAM Wortbreite gegenüber DDR(1)-RAM auf 4fach verdoppelt

RIM (rambus intel memory) = später **RDRAM** (rambus dRAM): Seriell, Busfrequenz ≥ 600 MHz

sehr hoher Stromverbrauch $\rightarrow$ Kühlung erfordern. Leere Steckplätze Dummies nötig.

18 Bit, davon 2 für Fehlerkorrektur. Zunächst nur Sonderanwendungen:

Grafikkarten Silicon Graphics, Nintendo-Spielekonsole und Server.



25.11.2010

Seite 121 von 181

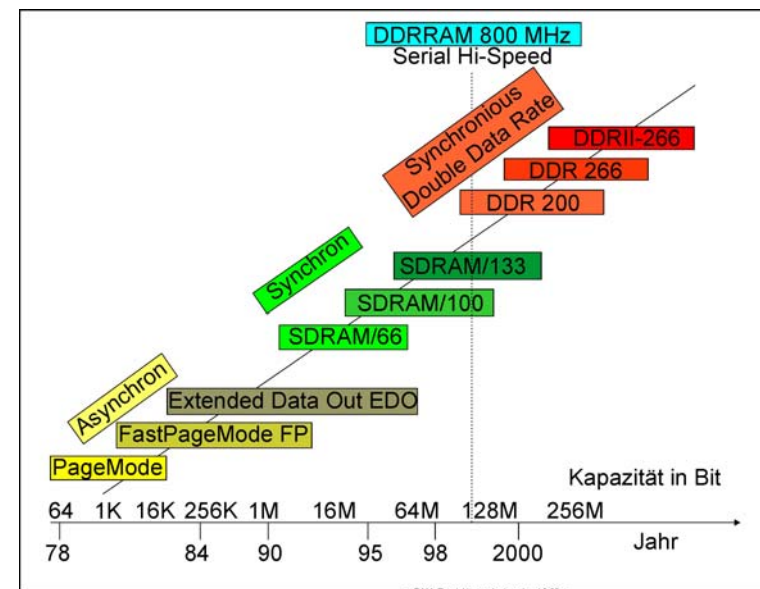
25.11.2010

Seite 122 von 181



25.11.2010

Seite 123 von 181



25.11.2010

Seite 124 von 181

DDR3-SDRAM

2007 als 3. Generation der SDRAM auf dem Markt

Adress-, Steuersignale mit realer Taktfrequenz, pro Adressierung/Taktzyklus zweimal Daten als ein „Burst“ übertragen

DDR(1) = 2fach-, **DDR2 = 4fach-**, **DDR3 = 8fach-Prefetch**. Außerdem Schnittstellen geändert

DDR2: $1,8 \text{ V} \pm 0,1 \text{ V}$; **DDR3:** $1,5 \text{ V} \pm 0,075 \text{ V}$, Data-Strobe-Signal nur noch differenzielle Signale + dynamische Impedanzanpassung (dynamic ODT),

DDR3 ab 800 MBit/s + 1066, 1333 und 1600 MBit/s (800 MHz Takt)

Übertragungsraten von 6,4 GByte/s bis 12,8 GByte/s, im Dual-Channel-Betrieb das Doppelte, bis 25,6 GByte/s Gehäuse = FPBGA mit 82 bis 112 Pins

Speichertyp	SDRAM	DDR-SDRAM	DDR2-SDRAM	DDR3-SDRAM
Datenrate MBit/s/Pin	PC66,-100,-133	DDR-200,-266,-333,-400	DDR2-400,-533,-667,-800	DDR3-800,-1066,-1333,-1600
I/O-Organisation	$\times 4, \times 8, \times 16$	$\times 4, \times 8, \times 16$	$\times 4, \times 8, \times 16$	$\times 4, \times 8, \times 16$
Betriebsspannung	$3,3 \pm 0,3 \text{ V}$	$2,5 \pm 0,2 \text{ V}$	$1,8 \pm 0,1$	$1,5 \pm 0,075 \text{ V}$
Schnittstellentyp	LVTTL	SSTL 2	SSTL 18	SSTL 15
Anzahl der Bänke	2/4	4	4/8	8
Prefetch	1	2	4	8
Burstlänge	1, 2, 4, 8 (Page)	2, 4, 8	4, 8	8
Data-Strobe Signal	-	massebezogen	massebezogen/differenziell	differenziell
Lese-Latenz-Zyklen	CL=1, 2, 3	CL= 1,5; 2; 2,5; 3	CL=2, 3, 4, 5	CL=5, 6, 7, 8, 9, 11, 11
Zusätzliche Latenzzyklen	-	-	AL= 0, 1, 2, 3, 4	AL= 0; CL-1, CL-2
Schreiblezyklen	0	1	RL-1	5, 6, 7, 8 +AL

25.11.2010

Seite 125 von 181

Zeitweilige spezielle dRAM

in den 80er Jahren das **V-RAM** (video) mit zusätzlichem seriellen Buffer für eine Zeile

Im Bildrücklauf werden die Daten der nächsten Bildzeile geschrieben

Verallgemeinerung **Dual-Port-RAM**, jede Speicherzelle ist über zwei weitgehend unabhängige Ports schreibend oder lesend erreichbar

Grafikkarten **3D-RAM** berücksichtigt für 3D-Bilder Daten der z-Achse

Ähnlich **FB-RAM** (frame buffer) mit „Z-Buffer“ die z-Koordinaten

Quasistatisches dynamisches RAM, **iRAM** (integrated), **Pseudo-RAM** oder **PS-RAM** besitzen interne Refresh-Funktion

CDRAM (cached) ermöglicht synchronen Speicherzugriff mittels sRAM-Cache

WRAM (windows) = Video-RAM mit EDO-RAM

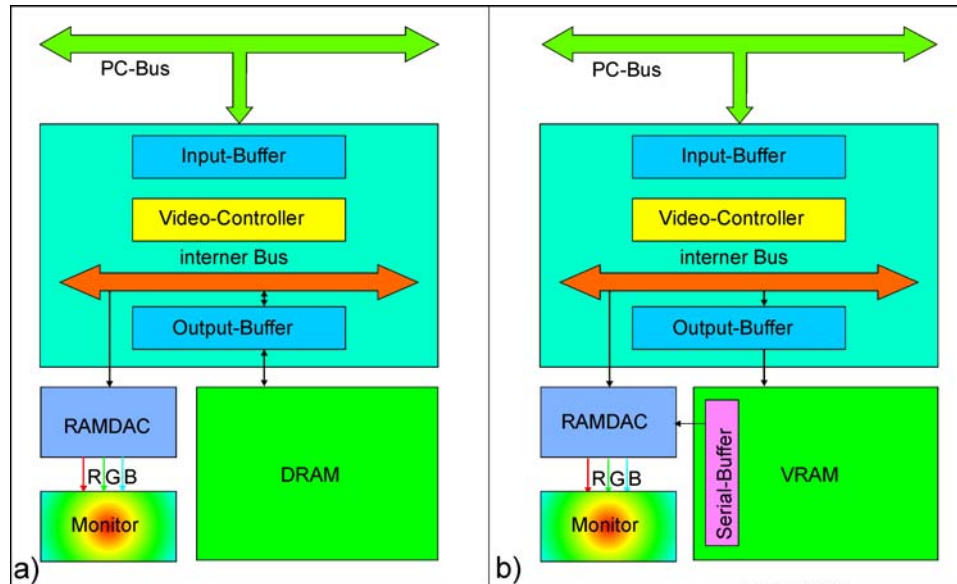
IRAM (intelligent) viele Zellen mit je etwa 1 KBit sind über spezielle Strukturen verkoppelt

MDRAM (multibank) = synchroner Speicher aus mehreren 256 KBit Speicher-Bänken

RLDRAM (reduced latency) und **LPSPDRAM** (low power synchronous) sei nur erwähnt

25.11.2010

Seite 126 von 181



25.11.2010

Seite 127 von 181

sRAM-Arten

sRAM mehr Chipfläche, daher teurer aber schneller, weniger verbreitet, nur wo Datenrate entscheidend ist

Hauptsächlich für Cache-Speicher, Grafikkarten und große Server, teilweise sogar bipolar

Weil u.a. refresh und Dummy-Zelle entfallen meist deutlich einfacher organisiert

Vorhanden Burst-Betrieb, interne Pipeline und Register für Ein-Ausgänge

Wortbreite vorwiegend 16 oder 32 Bits, meist zusätzlich 2 bzw. 4 Bits für eine Fehlerbehandlung

Zuweilen zur Stromeinsparung power-down Modus, „Aufwecken“ dauert jedoch einige Takte

1. asynchrone geringem Design-Aufwand, vorwiegend bidirektionale Treiberstufen mit Richtungs-Umschaltung Dafür ist ein wait state von ca. 8 ns erforderlich. schnelle oder stromsparende Typen

2. synchrone mit einem Takt gesteuerte **SyncBurst-RAM** = **SSRAM** (synchronized static RAM) Ab 80er Jahren, zunächst für den L2-Cache, meist die Adress-, Ein- und Ausgabedaten in Registern zwischengepuffert **NoBL-SRAM** (no bus latency) kein Ausgangsregister, gegenüber asynchronen entfällt wait state **pipelined** mit Ausgangsregister → 2-1-1-1, aber Taktrate 166 statt 125 MHz.

Seit ca. 200 **DDR-SRAMs** (fallende und steigende Flanke vom Bus-Takt)

Bei 4-Wort-Zugriff $1^{-1/2} 1/2^{-1} 1/2^{-1} 1/2^{-1} 1/2^{-1} 1/2^{-1} 1/2^{-1} 1/2^{-1}$ -Burst

DDR2-SRAM doppelte Wortbreite, auch **QDR-** und **QDR2-SRAM** (quad data rate)

Getrennte Ein- bzw. Ausgänge für das Schreiben und Lesen, teilweise gleichzeitiges Schreiben und Lesen möglich

≈ **Dual-Port-RAM**

FC-RAM (fast cycle) spezielle Pipelinestruktur, kein Verzug durch RAS- und CAS-Wechsel

Mit Bankinterleaving Adresswechsel alle 20 ns

25.11.2010

Seite 128 von 181

Serielle Speicher

Wichtig für kontinuierliche Signale u.a. zur **Video- und Audioaufzeichnung**
Meist mit **Magnetband** oder **rotierenden Medien**, auch historische Varianten, z. B. **Schallplatte**

Elektronische Varianten aktuell + historisch im Folgenden
Zusammengefasst oft **SAM** (serial access memory) genannt

Da teilweise Zugriff auf Speicherzellen auch seriell erfolgen kann → SISO, FIFO = LILO und FILO = LIFO (Stack)

Wichtig ist der allgemeine **Umlaufspeicher** mit nicht genau definierte In- und Output
Für Ende der 80er Jahre gibt es in [Völz89] eine ausführliche Analyse und Systematik

25.11.2010

Seite 129 von 181

Ladung verschiebende Speicher

Die Ladungsverschiebung ist sehr alt. Bauelemente werden meist als **CTD** (charge transfer devices) bezeichnet
Bereits zu Beginn der Rechentechnik (50er Jahre) wurden **Kondensatoren** und aktive (verstärkende) Schalter benutzt
Dabei werden **zwei Takte** für eine lange C-Reihe benutzt

Es mögen bereits die ungeradzahlgigen $C_1, C_3 \dots$ Daten tragen und die geradzahlgigen $C_0, C_2 \dots$ leer sein
Am Eingang wird dann die neu zu speichernde Information gelegt. Takt₁ legt sie mittels Schalter S_0 auf C_0
Gleichzeitig übertragen $S_2, S_4 \dots$ die Ladung von den $C_1, C_3 \dots$ auf $C_2, C_4 \dots$ und löschen $C_1, C_3 \dots$
Im Takt₂ geschieht ähnliches mit Vertauschen von Gerad- und ungeradzahlgig

Entwicklung der **integrierten Schaltungen** entstanden etwa gleichzeitig, unabhängig voneinander zwei neue Varianten

BBD (bucket brigade device, *englisch bucket* Eimer, Becher → Eimerkettenspeicher = Feuerlöschkette)
stammt 1969 von SANGSTER

Das Prinzip kann bipolare oder mittels FET realisiert werden

CCD (charge coupled device, *englisch charge* Ladung) wurde 1971 von BOYLE und SMITH vorgestellt
fand zunächst kaum Beachtung

Bei BBD und den Vorgängern traten viele Verluste auftraten

Die entscheidende Idee von SANGSTER bewegte die **Ladungen entgegengesetzt zur Information**

Die Daten entsprechen dann nicht mehr der Ladung, sondern der **Fehlmenge** bis zur vollständigen Füllung = U_{max}

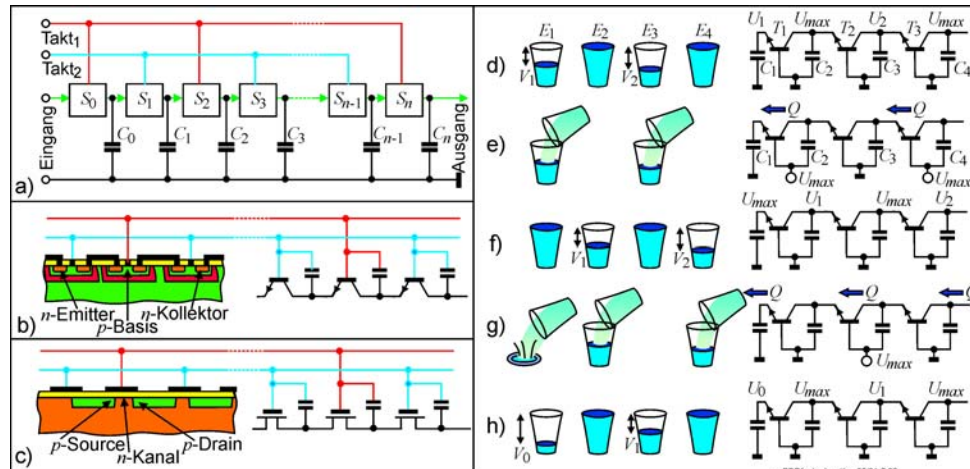
Wesentliche Verbesserungen entstanden durch Nutzung von FET

Taktfrequenzen sind bis viele MHz möglich. Tiefste sind wegen Verluste ca. 10 bis 100 Hz

Typischen Stufenzahlen liegen bei etwa 1000

25.11.2010

Seite 130 von 181



25.11.2010

Seite 131 von 181

CCD 1

Heutige CCD nutzen die **verarmte Zone** unter einem isolierten Gate (*pn*-Übergang)

Ihre Dicke d kann mit der Spannung U_G verändert werden: Mit Konstanten d_0 und U_0 gilt näherungsweise

$$d \approx d_0 \sqrt{U_G - U_0}$$

Diese trägerentblößte Zone heißt auch **Potentialtopf**

In ihm lassen sich Minoritäts-Träger hineinbringen und für einige Zeit (ms bis s) lagern

Hierzu können Trägerinjektion von einem *pn*-Übergang oder durch Lichtquanten benutzt werden

Diese Träger verhalten sich dann eine **Flüssigkeit** im Topf

Die speicherbare Ladungsmenge hängt von d , ϵ_i des Isolators, Potentialtopf-**Tiefe** $X_p(U_G)$ und Fülltiefe X_f ab:

$$Q \sim \frac{\epsilon_i}{d} \cdot (X_p - X_f)$$

Mehrere Potentialtöpfe in unmittelbarer Nachbarschaft ermöglichen „hinüberfließen“

Es ist nur eine sehr einfache Halbleiterstruktur notwendig, sowie je einen *pn*-Übergang für Ein- und Ausgang

Es lassen sich mehrere Bit/Topf speichern, daher in den 70er Jahren große Entwicklung erwartet

Ende der 70er Jahre lagen CCD-Speicher mit 16 und 64 KBit vor:

Intel-Speicher 2416, 64 Schleifen zu je 256 Bit, 750-ns-Takt

Mitte der 80er Jahre wurde bis zu 1 MBit erreicht, betrafen bereits verstärkt die **Bildsensoren**
heutige Hauptanwendung in mindestens 3 Varianten

25.11.2010

Seite 132 von 181

CCD 1

Zeilen auch für Scanner, Zeitweilig Anti-Blooming nötig (*englisch blooming blühen, überstrahlen*)

Der typisch relative Verlust je Stufe $\varepsilon \approx 10^{-3} - 10^{-5}$

Gesamtverlust L bei n Stufen: $1 - L = (1 - \varepsilon)^n \rightarrow$ Maximalverlust $L_{\max}$ Stufenzahl

$$n_{\max} = \frac{\ln(1 - L_{\max})}{\ln(1 - \varepsilon)} \approx \frac{L_{\max}}{\varepsilon}$$

Anfangszeit etwa 30 Zellen, heute mehrere Tausend erreicht

Zeitweilig als analoge Schieberegister, Ein- ≠ Ausgabetakt

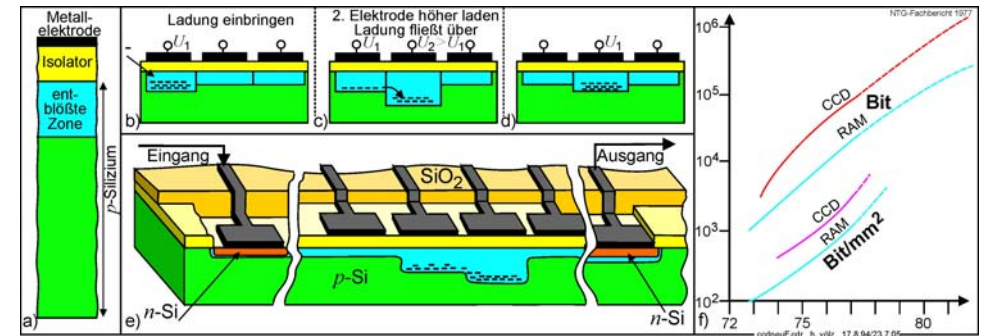
→ Frequenztransponierung, Zeitkompression oder -dehnung

Ähnlich Jitter, Zeitfehler reduzieren, akustische Rückkopplung und Echos vermeiden (um 20 ms)

Auch analoge Filter. Heute fast alles durch Digitaltechnik ersetzt

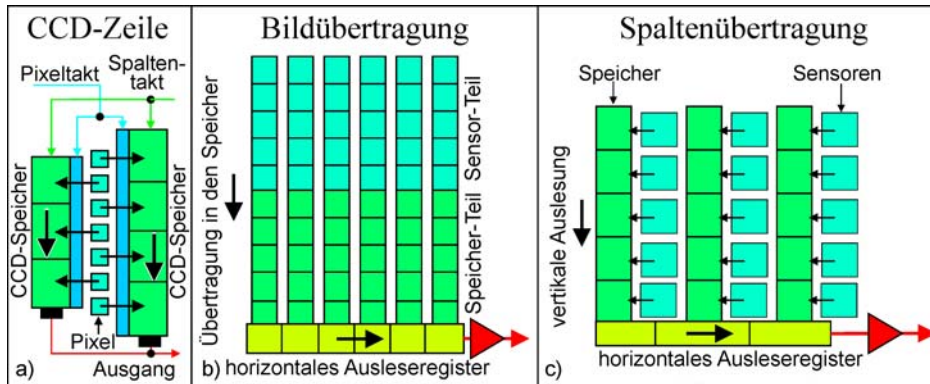
25.11.2010

Seite 133 von 181



25.11.2010

Seite 134 von 181



25.11.2010

Seite 135 von 181

Umlaufspeicher

gab es vor allem in der Anfangszeit der Rechentechnik, z. B. *Quecksilberröhren und Ultraschall*

Später **CCD-Technik** für vergleichsweise große Speicher

Noch später magnetische **Bubble-Speicher** und **Oberflächenwellen**

Nach einer Anzahl von Zellen waren **Regenerations-** bzw. **Refresh-Verstärker** (refresh amplifier) einzufügen

Hierbei entstanden mehrere Varianten, die bzgl. **Kapazität und Zugriffszeit optimiert** waren

Die Strecke für eine mögliche Regeneration sei N lang (CCD-Kette, Register, Schleife, loop)

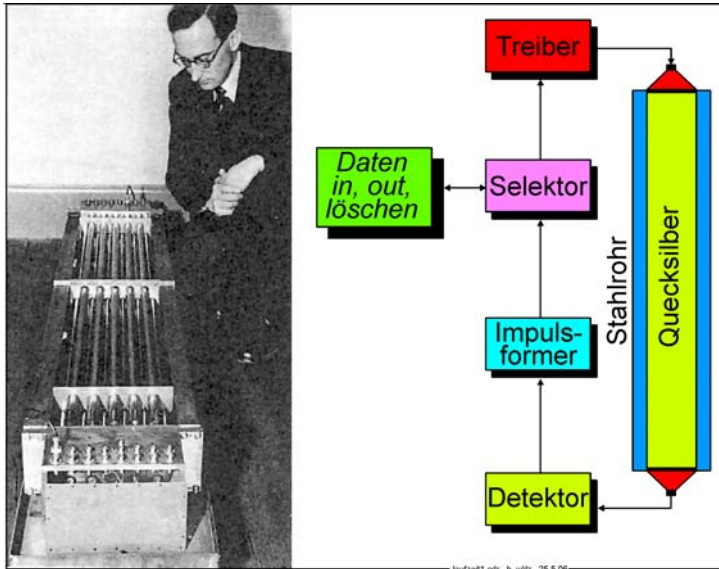
Sie werden mit dem Frequenz FZ betrieben → Zugriff.

Es werden M Stück benutzt, sodass Kapazität $M \cdot N$ beträgt

Die sich ergebenden Daten weist das Bild aus

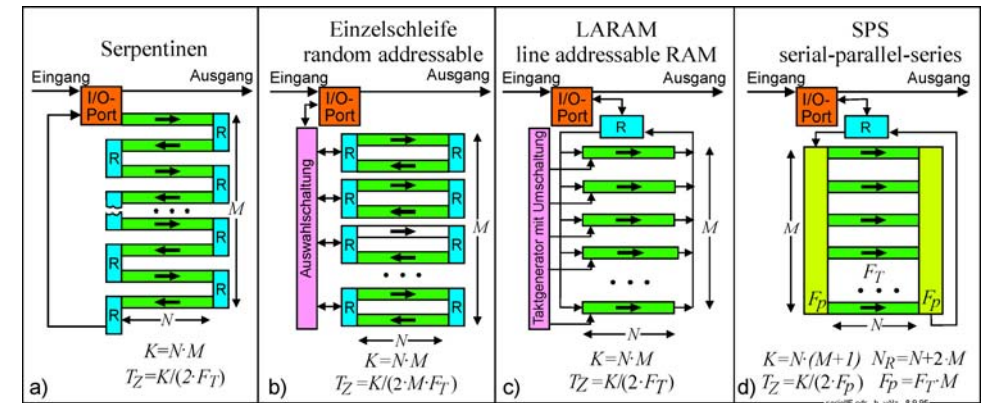
25.11.2010

Seite 136 von 181



25.11.2010

Seite 137 von 181



25.11.2010

Seite 138 von 181

Assoziativspeicher

Lateinisch *ad-* hin, zu und *socius* Gefährte

Französisch *association* → ursächlichen Verknüpfung von Vorstellungen + Zusammenschluss und Vereinigung

Mathematik: assoziatives Gesetz (Verbindungsgesetz):

$$a+b+c = (a+b)+c = a+(b+c) \text{ bzw. } a*b*c = (a*b)*c = a*(b*c).$$

Für Speicherung u.a. wichtig bzgl. unser **Gedächtnis**

Etwa ab 19. Jh. vermutet Psychologie:

Wissen wird über inhaltliche Zusammenhänge (assoziativ) verinnerlicht, gespeichert, erinnert

= wichtige These der **Gestalttheorie** → Verknüpfungen zwischen Begriffen, Wörtern, Gedächtnisinhalten

z.B. **Ähnlichkeit** (Haus ↔ Hütte), Ordnung (Blume → Rose), Raum + Zeit (Wand ↔ Bild, Morgen → Aufstehen)

ursächlich (Hunger ↔ Essen), Kontraste, Gegensätze (hell ↔ dunkel)

Assoziation keine allgemeine Definition, wichtig aber der **Kontext**

So wird bei dem Wort „Flügel“ entschieden zwischen gemäß Kontext Vogel, Flugzeug, Doppeltür, Konzertflügel

Eine so allgemeine **Umsetzung in die (Speicher-) Technik** ist bisher nicht gelungen

Angestrebt „sinnvolle“, schnelle Abfrage in großen Datenbeständen ohne Durchsuchen aller Inhalte (englisch content)

Daher Assoziativ-Speicher = associative memory = **CAM** (content addressed memory)

Angestrebt wird seit langem eine **Hardware-Lösung**.

25.11.2010

Seite 139 von 181

Beispiel zur Erläuterung

Tabellenausschnitt für Partnersuche

Nr.	Name	weiblich	Alter	ledig	Kinder	Hobby	Marke
45	Meyer	0	30	0	0	Foto	*
46	Müller	1	35	1	1	Briefmarken	
47	Schulze	0	27	1	2	Foto	
48	Altmann	0	40	1	0	Theater	
49	Schmidt	1	30	0	2	Reisen	
50	Lindner	0	28	1	0	Foto	*
Maske	x	0	25 – 35	1	x	Foto	

Es wird meist nicht in allen Feldern sondern mit einer **Maske** gesucht:

z.B. unverheiratete, männliche Person im Alter von 25 bis 35 Jahren mit Hobby Foto → 1 bzw. Werte

Dann sind Spalten: Kinderzahl und Namen unwichtig → 0 = Vermerk „don't care“ (englisch nicht drum kümmern)

Sie werden bei der Suche ausgeblendet

Anschließend werden alle Zeilen parallel, d. h. gleichzeitig durchsucht, alle **Parameter erfüllt** → Marke *

Diese Zeilen werden in einer allgemein festgelegten Rangfolge angezeigt

25.11.2010

Seite 140 von 181

Zur Schaltung, Aufbau

Zum parallelen Durchsuchen sind **umfangreiche Speicherzellen** mit vier Funktionsteilen erforderlich
= Eigentlicher Speicher (Flipflop) und drei logischen Baugruppen für Schreiben, Lesen und Vergleichen

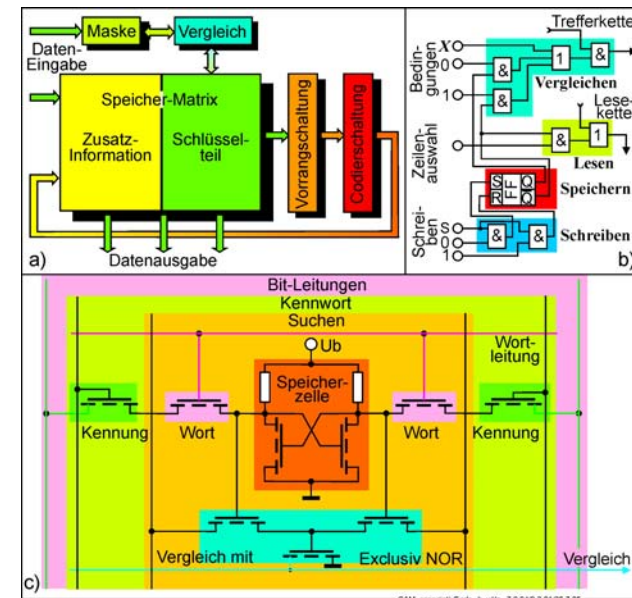
Für die Trefferanzeige ist eine komplexe logische Verknüpfung notwendig
So ist etwa die doppelte Fläche einer sRAM-Zelle oder die fast 10fache einer dRAM-Zelle notwendig

Infolge der komplizierten Verdrahtung zwischen den Zellen sind auch viele Pins nach Außen erforderlich

1983: 1 kBit-, 1985: 8 kBit-, 1988: 16-kBit-Speicher, kamen in speziellen LISP- und PROLOG-Rechnern zum Einsatz
2000 Mosaid erstmalig mit dRAM-Zellen, 2 MBit, $7 \cdot 10^7$ Suchläufe je Sekunde
2003 gab es einen Baustein mit 16 Transistoren je Bit

25.11.2010

Seite 141 von 181



25.11.2010

Seite 142 von 181

Sicherheit der Daten 1

Für digitale Halbleiterspeicher gilt nicht das übliche: gut $\Leftrightarrow$ defekt bzw. brauchbar $\Leftrightarrow$ nutzlos

Vielmehr müssen **1. Hard- $\Leftrightarrow$ Soft-Error** und **2. Fehler der Speicherzelle $\Leftrightarrow$ des Speichers** unterschieden werden

Fehlerrate wird in FIT (failure in time) = 1 Fehler in 10^9 Betriebsstunden $\approx 10^5$ Jahre

Hard-Error: Eine Speicherzelle ist – wie andere digitale Bauelemente – ab einem bestimmten Zeitpunkt defekt

Ursachen: Bei der Herstellung des Speichers, Überlastungen, Verschleiß usw. Störend können sich auswirken: überreiztes Timing, schlechtes Layout, Abblocken von Stromspitzen, Betriebsspannung sowie hohe Taktraten usw.

Gegenmaßnahmen: redundante Speicherzellen (Austausch) und Fehler-Erkennung, -Korrektur (**EDC, ECC**)

In der Anfangszeit der PCs wurde für 8 Bit ein neuntes als Parität hinzugefügt

Heute **HV-Parität** (horizontal, vertikal = Matrix-Parität) und **HAMMING-Code**

HV-Parität zusätzlich 7 % Chip-Fläche + 20 ns Zeitverzögerung. Fehlerrate sinkt von $10^9 - 10^{12} \rightarrow 10^{-1}$ bis 10^4 FIT
Hamming-Code benötigt mehr Fläche (z.B. 20 %) und mehr Zeit, bringt zusätzlich zwei Zehnerpotenzen an Sicherheit

25.11.2010

Seite 143 von 181

Sicherheit der Daten, Soft-Error

Soft-Error: tritt nur vorübergehend auf, vorwiegend bei dRAM, z.T. auch bei sRAM

Speicherzelle verliert vorübergehend zufällig ihren gespeicherten Wert, nachher ist sie wieder OK

Da Zeitpunkt nicht abzusehen ist, bringt dies noch mehr Unsicherheit, daher ECC ganz wichtig
Problem wurde 1979 beim Übergang vom 16- zum 64-KBit-dRAM gefunden, verzögerte Entwicklung beachtlich
Wird durch harte elektromagnetische oder Partikel-Strahlung, vor allem **α -Teilchen** bewirkt

Wirkungsweise: α -Teilchen erzeugt Ladungsträger-Paare im Halbleitermaterial, besonders störend bei MOS

Ladungen wandern dann je nach ihrer Polarität in verschiedene Richtungen und heben Speicherzustand auf.

Energie von 5 MeV **erzeugt** innerhalb von ps mehr als 10^6 **Elektronen-Loch-Paare** (≈ 200 fC)

Herkunft: im Chip vorhanden oder aus der Umgebung bzw. aus dem Weltall

Hauptursache in der Natur vorhandenen Radionuklide, insbesondere ^{238}U , ^{235}U und ^{232}Th

Damals speziell gereinigte Metallisierungs-Aluminium noch je 1 ppm ^{238}U und $^{232}\text{Th} \approx$ Flusssdichte $0,01$ bis $0,1 \text{ cm}^{-2}\text{h}^{-1}$

Ähnliche Werte gelten für Keramik-Gehäuse und wegen keramischer Füller auch für Kunststoffgehäuse

Weniger störend andere **Ionen-, Protonen-Strahlungen**. Neutronen (ohne Ladung) rufen nur mittelbar Ladungen hervor

Weniger wirksam γ - und Röntgen- und Elektronen = β -Strahlung sowie Positronen

Thermische Ladungsträger-Generation ist selbst bei 80°C noch zu vernachlässigen

Auf **Bergen**, im **Luftraum** oder gar im **Kosmos** treten zusätzliche Soft-Errors auf.

In 10 km Höhe nimmt die Flusssdichte der α -Teilchen und Li-Ionen auf das 50fache zu

IBM bereits 80er Jahre experimentell mehrere Jahre Rechner unter der Erde, im Labor und auf hohen Bergen betrieben
Für Speicher im Weltraum Sondermaßnahmen erforderlich, u.a. darf kaum MOS-Technik genutzt werden

25.11.2010

Seite 144 von 181

Maßnahmen zur Sicherheit der Daten

Wichtig sind u.a. vom **Zellen-Aufbau** und **Betriebsdaten** ab

Übergang 0,25 → 0,18 µm-Technik doppelter Fehler, Betriebsspannung 5V → 3V Fehler 8fach

Maßnahmen: Ausgangsmaterial viel besser reinigen

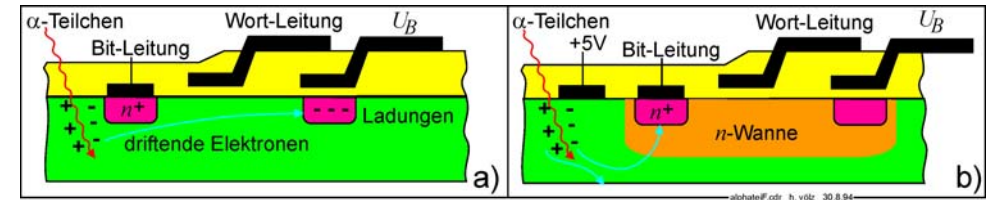
Mit dem letzten Prozessschritt eine **Passivierungsschicht** auf den Chip

Zusätzliche Wannen mit spezieller Dotierung zum Abfangen der Ladungsträger

Insgesamt trotz steigender Integrationsdichte, fallender Elektronenzahl/Bit kleinere Spannungen
Soft-Error (FIT) gesenkt

Extrem Kosmos

Abschirmungen mit 20 mm Al und umfangreiche Fehlerschutzschaltungen mit z.T. 3facher Redundanz

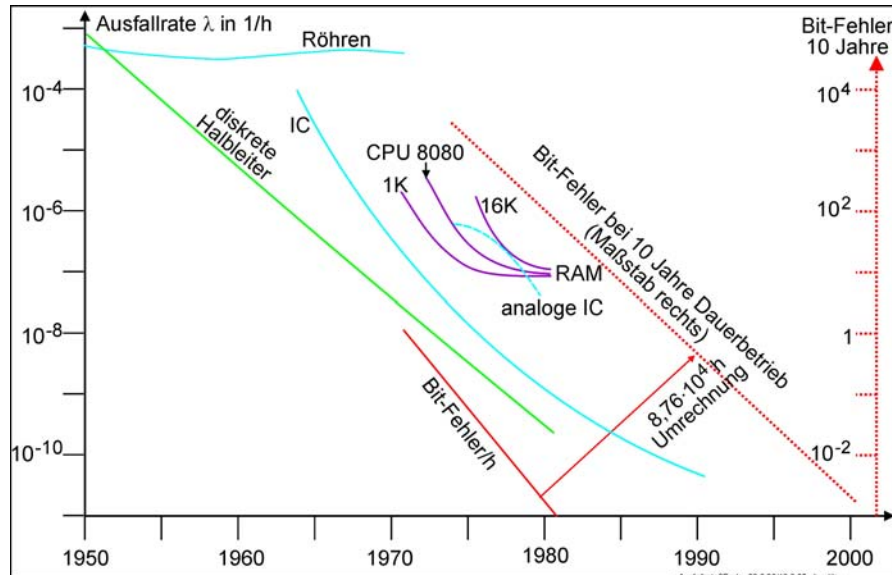


25.11.2010

Seite 145 von 181

25.11.2010

Seite 146 von 181



25.11.2010

Seite 147 von 181

Verpackungen, Bausteine

Elektronischen Speicher-Bausteine zunächst Relais dann Röhrenschaltung

Um 1977 begann IBM mit Halbleiterspeichermodulen

keramisches Substrat im abgeschirmten Gehäuse Chips mit 2 kBit

Später Halbleiterspeicher sowohl eigenständige Bausteine als auch kombiniert mit anderen elektronischen Einheiten
z. B. in der CPUs als Cache, Register usw. oder als embedded (englisch eingefügt) RAM in Schaltungen

Nur in Sonderfällen auch „Nack“-Chip, sonst in unterschiedliche Gehäuse eingefügt (**Chip-Verpackung**)

Viele Verpackungen, alphabetisch einige Beispiele (wichtig Anzahl der Pin)

CLCC..... ceramic leaded chip carrier..... Pins am Außenrand in J-Form

DIP..... dual inline package Pins starr, nach unten gerichtet

FP..... flat-pack Pins lang, nach außen gerichtet

LCC leadless chip carrier Keramik-Gehäuse, keine Pins, nur Flächen

LCCC..... leadless ceramic chip carrier..... Keramik-Gehäuse, keine Pins, nur Flächen

PGA pin grid array Einsteck-Pins in mehreren Reihen

PLCC plastic leaded chip carrier Pins am Außenrand in J-Form

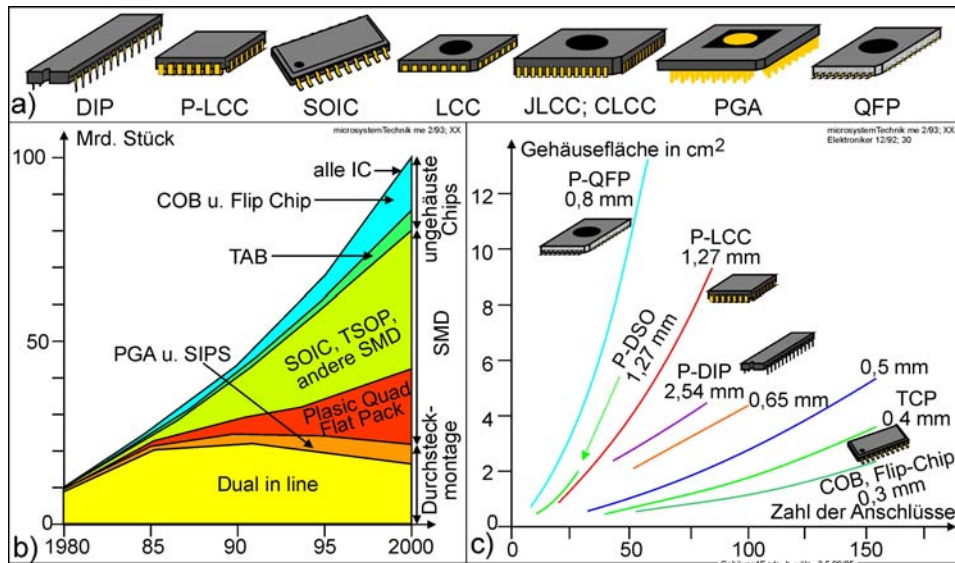
QFP quad-flat-pack Pins an 4 Seiten, Lötung sichtbar, automatische Kontrolle

SMD surface mount device Oberflächenmontage, plan auf Leiterplatte

SO(IC) small outline inline carrier Pins in Z-Form, Lötstellen

25.11.2010

Seite 148 von 181



25.11.2010

Seite 149 von 181

Rechner-Einbau

Anfang Computertechnik direkt auf Leiterplatte (Hauptplatine) als DIL

Ab 90er Jahre **SMD** (surface mount device = Oberflächenmontage)

80er Jahre **ISA-Steckkarte** (International Federation of the National Standardizing Associations) mit vielen Speicherbausteinen

Danach heute übliche **Module** (lateinisch *modulus* Maß)

= Gruppenbausteine = Speicherriegel (Wortbreite von 8 (9) Bit)

Zunächst **30-poligen SIPP** (single inline pin leaded package). 30 kurzen „Drähte“ zusätzlich aufgelötet

1983 nahezu gleich aufgebauten 30-poligen SIMM = SIMM-8

1983 IBM PS/2-Rechnern (personal system 2) SIMM-32 = PS/2-SIMM mit 72 Kontakten

1998 Mit SDRAM **DIMM** (dual inline memory module)

= SIMM-128: 168 Kontakten, 128 Bit-Breite, 12 ns, 3V- und 5V-Variante

Auf DIMM ROM oder Flash: Daten für Timing usw. abgelegt sind auch 184-polige Varianten mit Fehlerkorrektur

Transportablen Rechner (Laptop) **SODIMM** (small outline DIMM) mit 144 Pin

2004 für Sub-Notebooks 214 Pin = **Micro-DIMM**.

Ab 1990 auch **externe Speichersteckkarten** → **USB-Stick** usw.

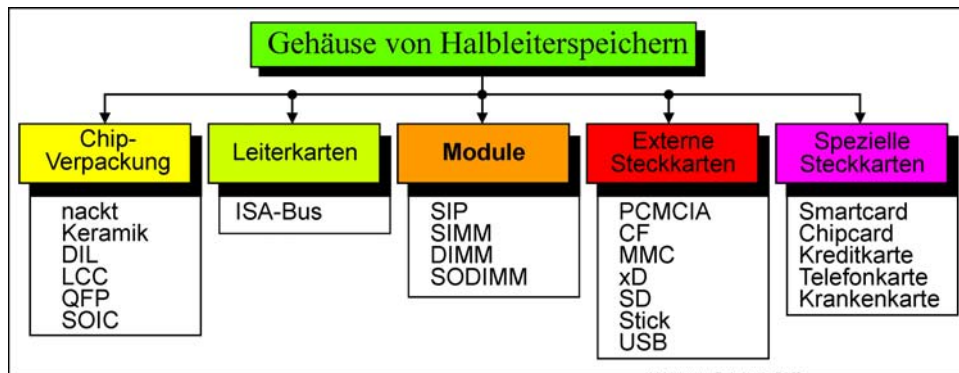
Später noch RIMM (Rambus) wie DIMM + Abschirmung

Als Speicher sehr teuer (90er Jahre), entstand **Adapter** um alte preiswerte Module zusammenzufassen

Weitere Details [Müller]

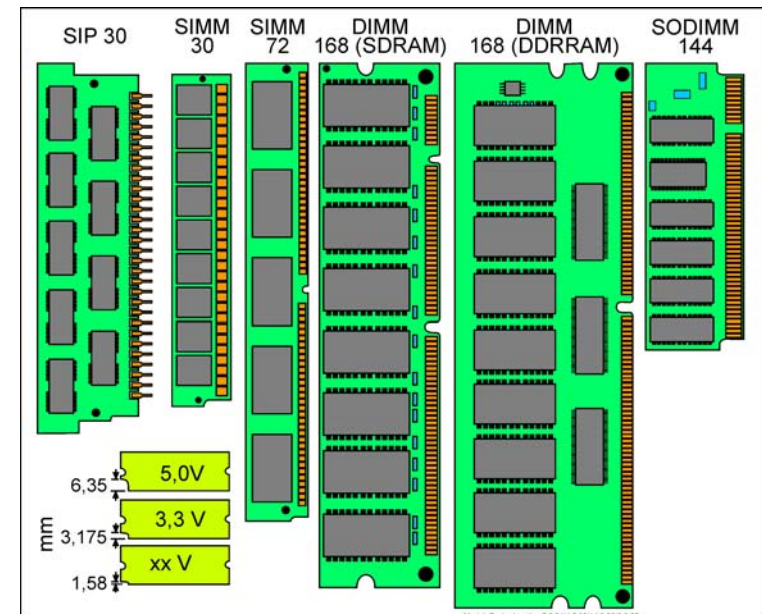
25.11.2010

Seite 150 von 181



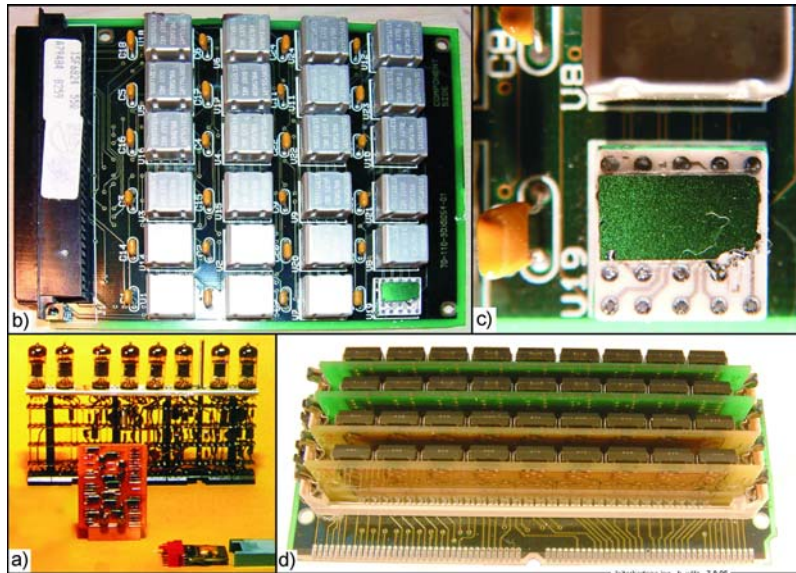
25.11.2010

Seite 151 von 181



25.11.2010

Seite 152 von 181



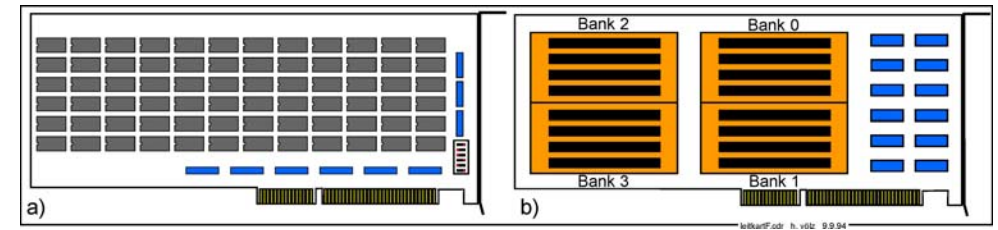
25.11.2010

Seite 153 von 181

Externe Speicherkarten

25.11.2010

Seite 155 von 181



25.11.2010

Seite 154 von 181

Smartcard

Englisch smart gerissen, mit Durchsetzungsvermögen ausgestattet, clever,

82,55×54×0,76 mm³ (ISO-Standard 7816) = Scheckkartenformat

Grundmaterial meist Kunststoff, u.a. PVC, PC, ABS und PET, auch Papier, Metall, Glas oder Holz vor Entwicklung verläuft **weitgehend unabhängig** von externen Speicherkarten für Rechner und elektronische Geräte **Vielfältige Speicherverfahren**, zuweilen kombiniert benutzt, wichtige Varianten sind:

- **Magnetstreifenkarten** ab etwa 1935 bzw. 1965 (auch viele andere Formate)
- **Hochgeprägte Karten**, z.B. Diners Club, ab 1950
- (elektronische) **Chipkarten** ab etwa 1980
- **Optische Speicherkarten**, z.B. LaserCard™ von JEROME DREXLER 1981

Zusätzlich spezieller Aufdruck, Unterschrift, Lichtbild, Hologramm usw.

Beginn: FRANK MCNAMARA 1949 im Steakhouse konnte sein Essen nicht bezahlen, Geldbörse vergessen
Februar 1950 gründet er mit Freunden „**Diners Club**“

→ Kreditkarte mit Hochprägung → **bargeldfreie Zahlung** der Welt [Rankel] [Bright]

Heute sehr weit gefächert

Kredit-, Geld- (1980), Debit- (= Scheck-), Telefon- (ca. 1986; T-Card 1995), Kranken- (1.1.1992)

Sicherheits-, Krypto-, Einlass- (Ausweis), Eintritts- (Veranstaltungen), Vielflieger- (1996)

Decoder- (z.B. Bezahlfernsehen), Kunden- und Nahverkehrskarte sowie Eurocheque (EC-Karte, ab 1968)

Bahncard, Hotelschlüssel (1972), EU-Führerschein und Autosicherung (1994 kontaktlos)

25.11.2010

Seite 156 von 181

Elektronische Smartcard

Elektronische **Chipkarte**:

September 1968 JÜRGEN DETHLOFFS und HELMUT GRÖTTRUP Patent: Plastik-Smartcard mit Halbleiter-Chip
Noch keine hinreichend dünne Chips möglich. Patente von KUNITAKA ARIMURA März 1970 ebenfalls ohne Erfolg

Erst 1979 erste Muster erprobt, 1980 in Hamburg erste Bargeldautomaten, 1982 mit 4 kBit EPROM

16.12.1986 nach 3-jähriger Testphase in Aachen, Bamberg, Bonn, Goslar, Frankfurt „**Wertkartentelefone**“

Farbiger Werbeaufdrucke macht später Karten zu gefragten Sammlerobjekten

1995 führt Telekom neue **T-Card** ein. Zuvor einfach illegal kostenlos zu telefonieren (Phreaking)

Februar 1998 BORIS F. (alias Tron, Chaos Computer Club) tot aufgefundenem ihm war es gelungen T-Card wieder aufzuladen

1996 **EC-Karte** von allen Sparkassen und den meisten Banken eingeführt

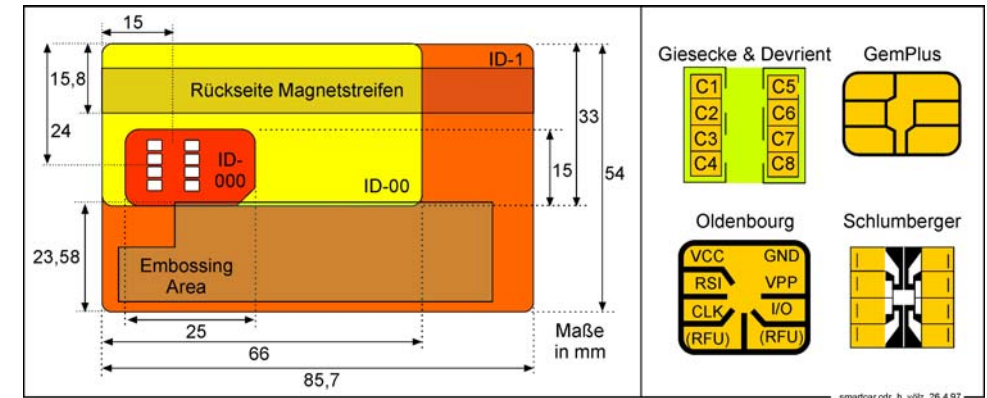
Heute drei Größe üblich, kleinste als **SIM**-Karte (ID000) bei **Mobiltelefonen** (subscriber **i**dentit**y** **m**odule)

Varianten und Eigenschaften von Chipkarten

Einteilung nach	
Chip-Typ	Datenübertragung
Speicherchip mit/ohne Sicherungslogik	8 später 6 Kontakte unterschiedlicher Gestaltung
Mikrocontrollerchip mit/ohne Coprozessor	Kontaktlos, Dualinterface

25.11.2010

Seite 157 von 181



25.11.2010

Seite 158 von 181

PCMCIA

1975 Beginn externe Speicherkarten mit Verbreitung der Heimcomputer

um 1990 sehr kleine Rechner, wie z.B. der ATARI Portfolio

Damalige typische Steckkarte bereits 128 KBytes sRAM, 32 Kontakte

auch als ROM-Karten, z.B. mit BASIC-Interpreter

Speicherkarten drangen in Bereich der Diskettenspeicher

Wegfall der Mechanik, zuverlässiger gegen Schmutz, Schock, Hitze und Kälte

Andere Geräte, z. B. Font-Module für Drucker, viel später vektorieell skalierbaren Fonts, später auch für Spiele

1989 gründeten wegen Vielfalt etwa 500 Mitglieder verschiedener Firmen

„Personal Computer Memory Card International Association“

= PCMCIA (unaussprechbar → „people can't memorize computer industry acronyms“

Menschen können sich nicht Abkürzungen der Computer merken

September 1990 lag der PCMCIA-Standard Release 1.0 für Flash-, sRAM- und OTP-Karten vor. 1991 Release 2.0

September 1992 Erweiterung auf Modem- und Netzwerkkarten

68 Steckkontakte = kompletten Rechnerbus mit 16- und 8-Bit-Datenbus sowie 64 MByte adressierbaren RAM-Bereich

Alle Erweiterung möglich, u.a.

RAM, ROM, PROM, Festplatten, Modems, DFÜ, FAX, Soundkarten, Ethernet, SCSI-Interface und ISDN

25.11.2010

Seite 159 von 181

PCMCIA bis PC-Express 2

Drei Gehäuseformen zugelassene

- Typ I: 3,3 mm, vor allem für Speicherkarten mit sRAM oder Flash
Nur bei sRAMs sind Schalter und Batterie vorhanden.
 - Typ II: 5,0 mm, Modems, Netzwerkkarten usw. (wenig genutzt).
 - Typ III: 10,5 mm, kleine Festplatten, später auch im Typ II (zuweilen verwendet Typ IV mit 13 mm)
- 1995 Release 5.0 mit 32-Bit-Daten- und -Adressbus und 3.3 V (statt 5 V), Plug and Play und Hot Swapping
- PCMCIA umbenannt **PC-Card** + Sonderkennzeichen

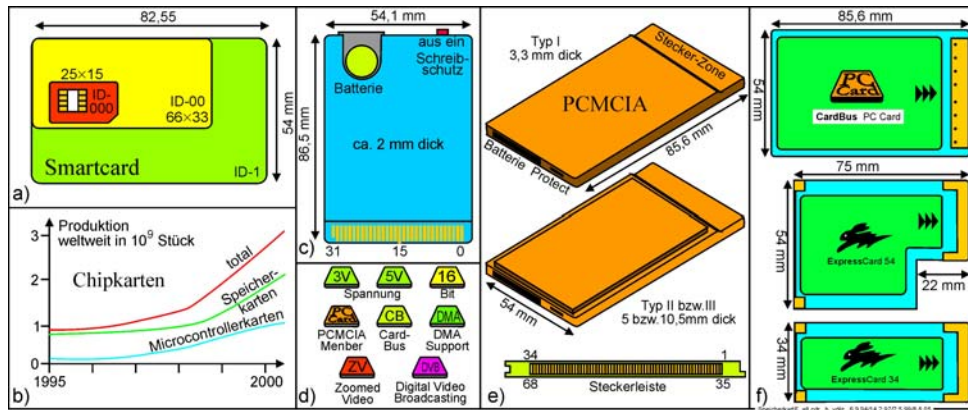
September 2003 folgte **PC-Express**. 26 Pins

verkleinert **MiniCard** (ExpressCard34 statt ExpressCard54)

Auch mit USB-Interface

25.11.2010

Seite 160 von 181



25.11.2010

Seite 161 von 181

Kleine Speicherkarten

Nachdem 1979 Intel Flash begann schuf 1988 Scandisk **Compact-Flash-Karte** Volumen nur ¼ PCMCIA-Karte
 Bald erkannten viele Firmen, das neue große Potential, es entstanden immer neue Varianten
 Vorübergehend: **Microdrive** Festplatte Abmessung von Compact Flash II, etwas größerer Dicke, ähnlich Pocket-Zip =
Click von Iomega 25×25×3 mm³, 40 MByte, magneto-optisch **ID-Photo** von Sanyo, Olympus, Hitachi, Maxell
 59×56×4,8 mm³, 750 MByte und **DataPlay** 39,5×33,5×3 mm³, 250 bzw. 500 MByte

Heute Karten mit seriell $\leftrightarrow$ parallelem Bus (Pin-Zahl)
 mit $\leftrightarrow$ ohne Controller (Betriebsart)
 als NOR- $\leftrightarrow$ NAND-Flash

Interesse des Copyrights der Musik- und Filmindustrie $\rightarrow$ Kopier- und Überspielschutz, außerdem später USB-Stick
 Anwendungen elektronische Fotoapparate, Mobiltelefone usw.

Um 2005 haben sich **CF**, **SD**, **xD** und teilweise Memory Sticks **durchgesetzt**, **SD**-Varianten MMC
 Ab 2005 **SSD** = Solid-State-Disk „Ersatz“ für Festplatten
 2007 **SDHC**-Karten bis 32 GByte, 133 MByte/s
 2007 **UFS** (Universal Flash Storage) als neues Format angekündigt
 2009 **SDXC-Kartenformat** bis 2 TByte, später bis 300 MByte/s, exFAT-Dateisystem

25.11.2010

Seite 162 von 181

Wichtigsten kleine Speicherkarten

Karte	Compact Flash (CF)	Smart Media (SM)	Memory Stick (Pro)	Secure Digital (SD)	Multimedia (MMC)	xD-Picture
Größe (mm)	42,8×36,4×3,3	45×37×0,76	21,5×50×2,8	21×24×2,1	32×24×1,4	20×25×1,7
Masse (g)	11	2	4	2	1,5	2
Anschlüsse	50	32	10	9	7	18
Controller	integriert	ohne	integriert	integriert	integriert	ohne
Interface	parallel, ATA&True-IDE	parallel proprietär	seriell, proprietär pro = parall.	seriell MMC&SPI	seriell, MMC&SPI	parallel
Überspiel-, Kopierschutz	nein nein	ja nein	ja ja	ja ja	nein nein	nein nein
Wichtige Hersteller	Sandisk, Hitachi, Canon, Matsushita, NEC.	Toshiba, Samsung, Fuji, Sega, Olympus, Enterprices, Sharp.	Sony	Matsushita, Toshiba, SanDisk, Panasonic.	Infineon, NEC, AMD, Sandisk, Hitachi, Canon, Noika, Ericson, Matsushita.	Fuji, Olympus.
Besonderheiten	Microdrive Höhe 5,0; 16 g; IBM, Hitachi	2 Spannungen, flach, instabil, kompatibel?	mechanisch empfindlich	Es gibt 2 kleinere Varianten	Es gibt eine MMmicro	xD = extreme Digital
Einführung	Nov. 94	(1996)	1998	1999	1997	2002
Aussehen (nur zum Vergleich)						

25.11.2010

Seite 163 von 181

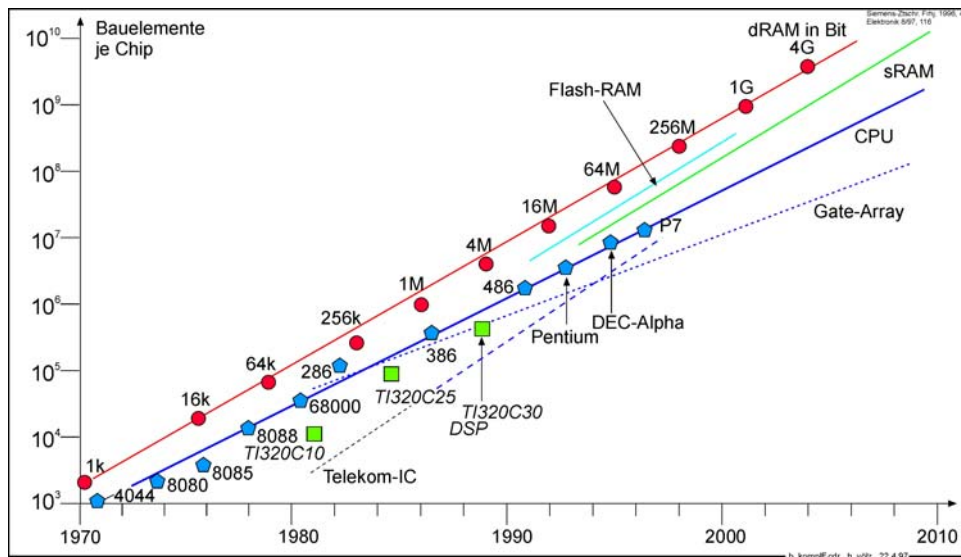
Geschichte, Grenzen und Zukunft

Weiterentwicklung bezüglich Speicherkapazität und -dichte gilt **Gesetz von GORDON E. MOORE** (*1929) bis 2015, evtl. darüber hinaus
 Electronics Magazine 38 (1965), S. 114–117: etwa alle 18 Monate verdoppelt sich Zahl der Transistoren, Fläche der Chips und Feinheiten der Strukturen
 Etwa 2003 auf ca. 2 Jahre verlängert
 Bei gleichartigen Bauelementen gelten die **Gesetze des Shrinkens** (maßstabsbezogenes Verkleinern), bereits 1972 ROBERT H. DENNARD
 Von ihm auch 1966 die Idee des dRAMs. Neue rRAM, Für Weiterentwicklung beachten:

1. Allgemein gilt: **breit eingeführte Technik/Technologie** (gilt bestimmt für Halbleiterspeicher) kann nicht verdrängt werden, verschwinden
 Bekannte Ausnahmen nur **Zeppelin, Gaslicht und Dampfmaschine**
 Bei Speichern sind dies **Ferritkern- und Relaispeicher sowie Lochkarten und Lochbänder**
 Meist erlangen verdrängte Varianten in **technischen Lücken** immer wieder eine, zumindest noch geringe Verbreitung
 z. B: Elektronenröhre bei Mikrowellen, Display und Oszilloskop
2. Prinzipien, die trotz vieler Vorteile, positiver Prognosen **nach Jahrzehnten nicht breit eingeführt** wurden, besitzen **keine Chance** mehr
 Hierzu zählen u.a. die **Bubbles**, magnetische **Dünnschicht-** und Drahtspeicher sowie die Blochlinienspeicher
 Vielleicht gilt dies auch für **Assoziativ-, Tieftemperatur-** und digitale **Holographie-Speicher**
3. Wegen **Neuheit** keine Aussagen zu Nano-, Quanten- und weitere Speicher
 jedoch **Hypezyklus** ist zu beachten
 Provokativ ist, ob langfristig Elektronik durch andere Prinzipien, wie z.B. **Optik oder Quantenelektronik** ergänzt oder abgelöst wird

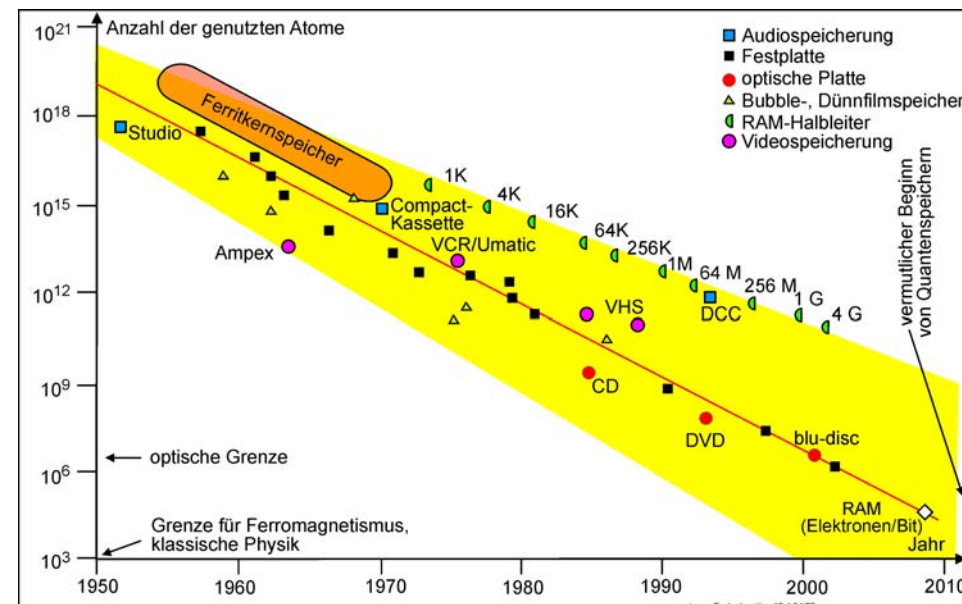
25.11.2010

Seite 164 von 181



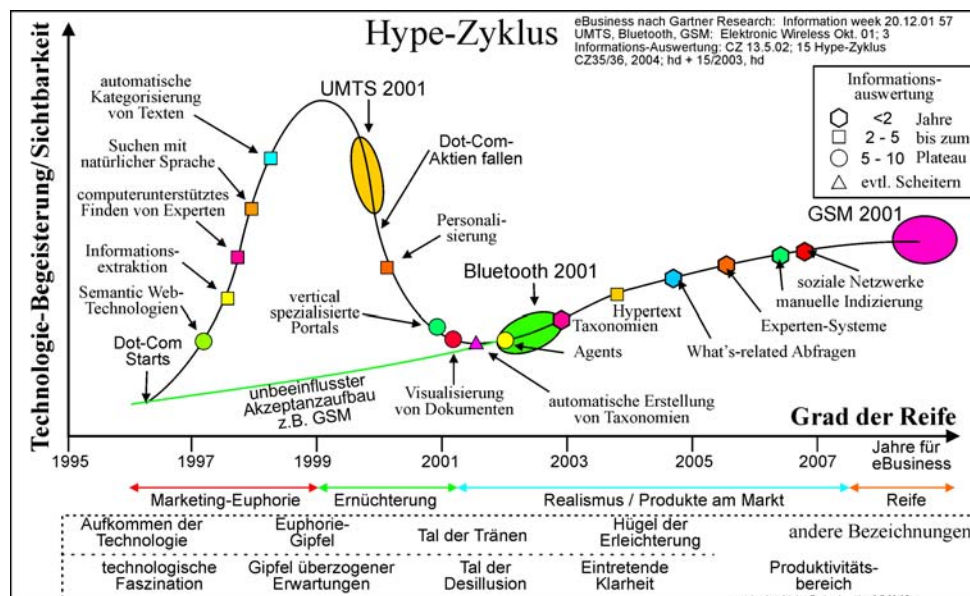
25.11.2010

Seite 165 von 181



25.11.2010

Seite 166 von 181



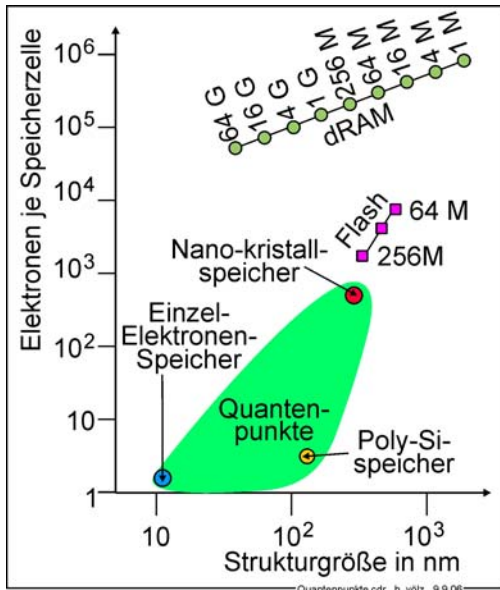
25.11.2010

Seite 167 von 181

	Problem	Lösung	typische dRAM
2000	effektive Bandbreite	Pipeline nichtgemultiplexte Adressen	assoziativ FCRAM MRAM
1996	Geschwindigkeit Zugriffszeit Leistungsaufnahme	2. Generation Burst-Übertragung Synchrone I/O CMOS-Prozesstechnik	DDR-RAM Rambus-DRAM EDO-RAM SDRAM Fast-Page-Mode-RAM
1976	Soft-Error Grenze der Pinzahl	Page-Mode Adressmultiplex	MK4116
1973	1. Generation	1-Transistorzelle	2107B

25.11.2010

Seite 168 von 181



25.11.2010

Seite 169 von 181

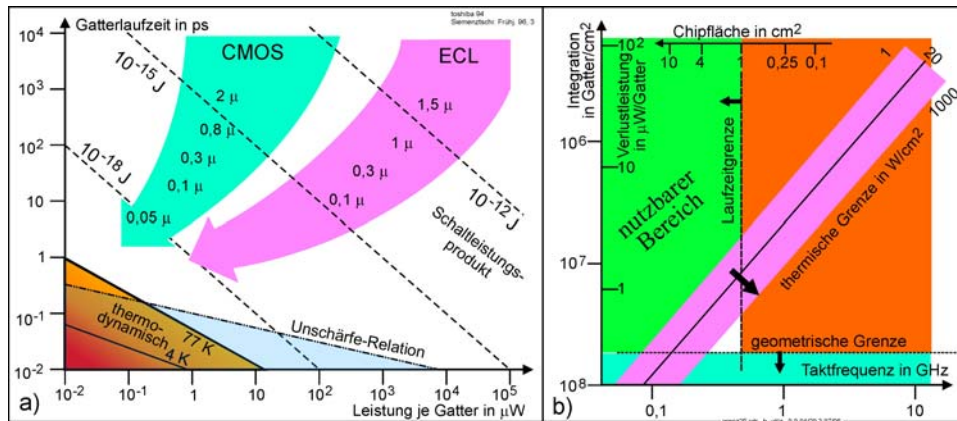
Grenzen der Speicher 1

Bereits 1983 zeigte O. G. FOLBERTH drei grundsätzliche **Grenzen** für die Halbleitertechnik, gelten im Wesentlichen noch heute

- **Geometrisch** = technologisch kleinstmöglichen Strukturen. 1995 $\approx 1 \mu\text{m}^2/\text{Gatter} \rightarrow 20 \text{ nm} \approx 10^{10} \text{ Gattern}/\text{cm}^2$
- **Thermisch**: entstehende und abzuführende Wärme $\rightarrow$ Produkt aus Schaltzeit $\times$ Leistung.
Luftkühlung ca. $1 \text{ W}/\text{cm}^2$, siedende Flüssigkeitskühlung ca. $20 \text{ W}/\text{cm}^2$
Notwendig kleiner Spannungshub $\rightarrow$ Grenze thermisches Rauschen bei Zimmertemperatur $\approx 25 \text{ mV}$; Leckströme
Leitungen: Al $\rightarrow$ 1997 Cu; später evtl. Wellenleiter, schädlichen Kapazitäten kleines ϵ
- **Laufzeit**: Bauelemente auf dem Chip phasengleich auch bei hoher Taktfrequenz $\rightarrow$ mehrere CPU, Sondertakte

25.11.2010

Seite 170 von 181



25.11.2010

Seite 171 von 181

Grenzen der Speicher 2

Wafer-Fehler. Wafer $\leftrightarrow$ Chip-Größe. Berechnungen u.a. WOLFGANG HILBERG (*1932). 1992 von 200 $\rightarrow$ 300 mm $\varnothing$

Kleineren Strukturen = Probleme der **Belichtungstechnik**: Üblich optische Projektions-Abbildung mit Masken
Beugungen bei $\lambda =$ Grenze, besser Immersion mit hochreinem Wasser (um 50 nm $n \approx 1,43$) zwischen Optik und Wafer
Kürzere Wellenlängen: 90er Jahre, UV, Hg-Lampe $\rightarrow$ Spezialglas; Optiksysteeme ca. 30 Linsen, 250 mm $\varnothing$, 1 m groß
Auflösungen um 5 000 Linien/mm. Waferstepper wiegt einige Tonnen

Kryptonfluorid-Laser mit 248 nm Quarzglas (Grenze 193 nm) notwendig

Ab etwa 1997 Interferenz-Optik Auflösungen unterhalb der Wellenlänge, Phase-Shift-Masken bis zu 6 Metalllagen
So wurde der 157 nm (Fluor-Laser) gestrichen

Um 2007 zu **EUVL** (extreme ultra violet lithography) = weiche Röntgenstrahlung, Quelle unsicher) 13 nm möglich
CaF₂-Linsen schwierig $\rightarrow$ asphärische (nicht kugelförmige) Spiegeloptiken erforderlich, erste 2005 von Zeiß, 32 nm

Alternative Varianten maskenlose Elektronenstrahltechnik

erprobt komplexe, statische Ablenkmaske aus 64 $\times$ 64 $\times$ 4 Elektroden

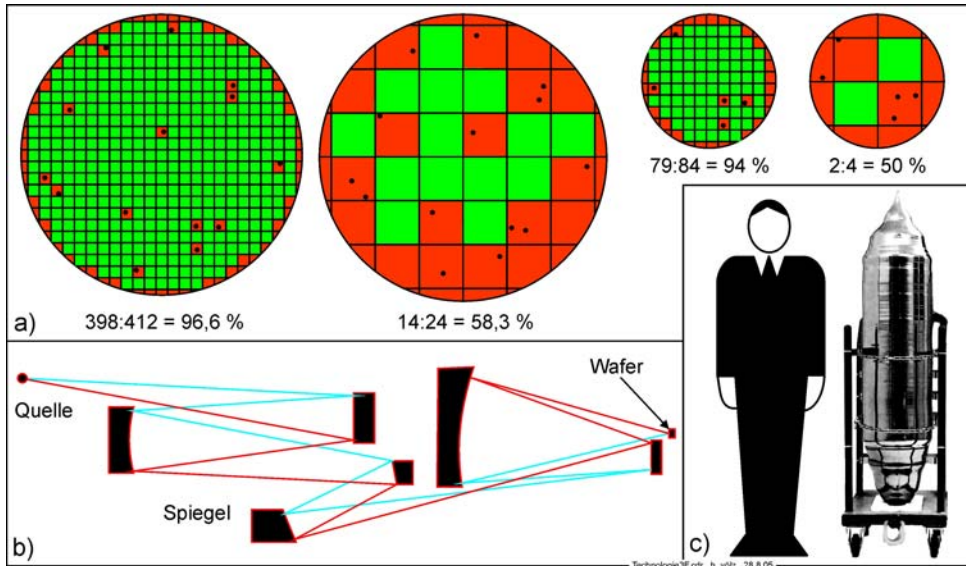
Auch Nanoimprint-Lithographie mit Stempeln und Prägeschicht, die dann mit UV-Licht ausgehärtet möglich

Kosten. 10-jährige Entwicklungsarbeit mit über 100 Mio. €, weltweiter Halbleitermarkt 200 Milliarden \$/a
Lithographie-Tools reichlich 20 Millionen \$, Maskensatz rund 1 Million \$, Wafer-Fabrik 3 und 8 Milliarden \$

Für **verschiedene Halbleiter** unterschiedliche Strukturfeinheiten benutzt

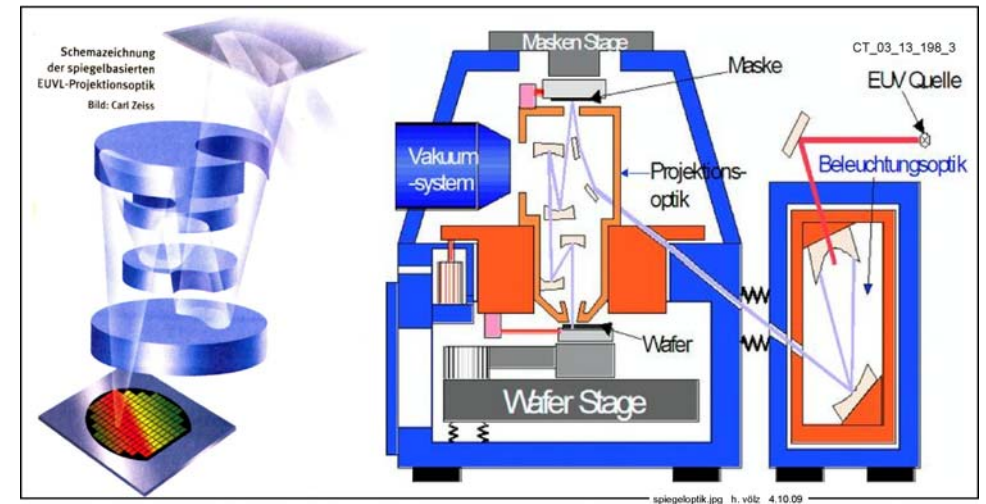
25.11.2010

Seite 172 von 181



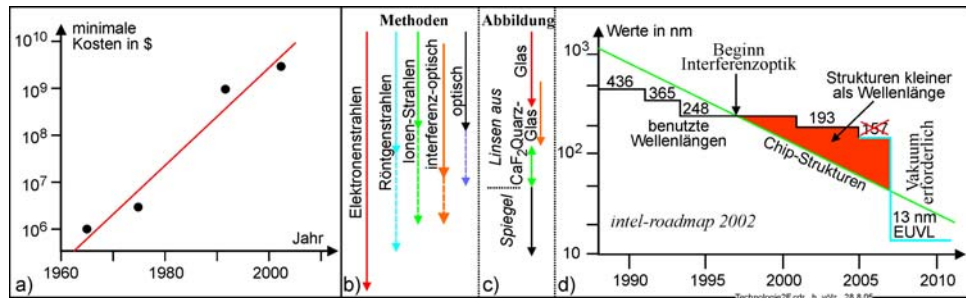
25.11.2010

Seite 173 von 181



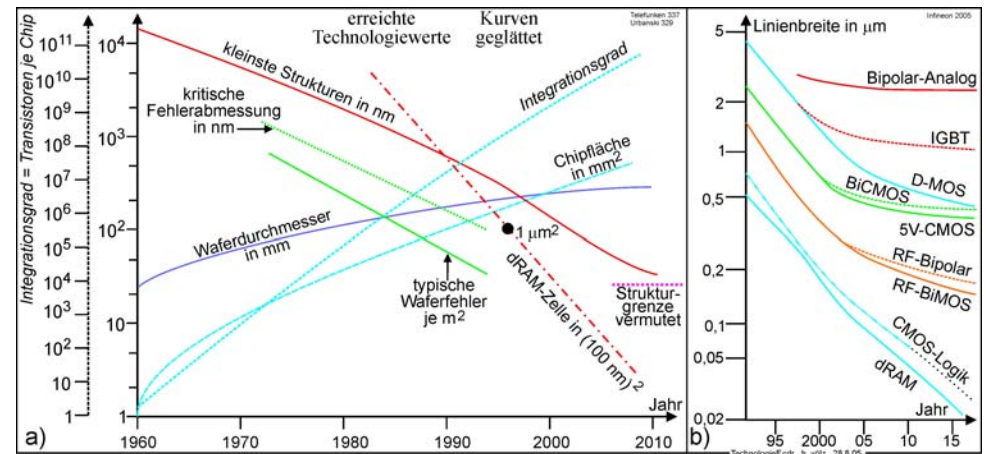
25.11.2010

Seite 174 von 181



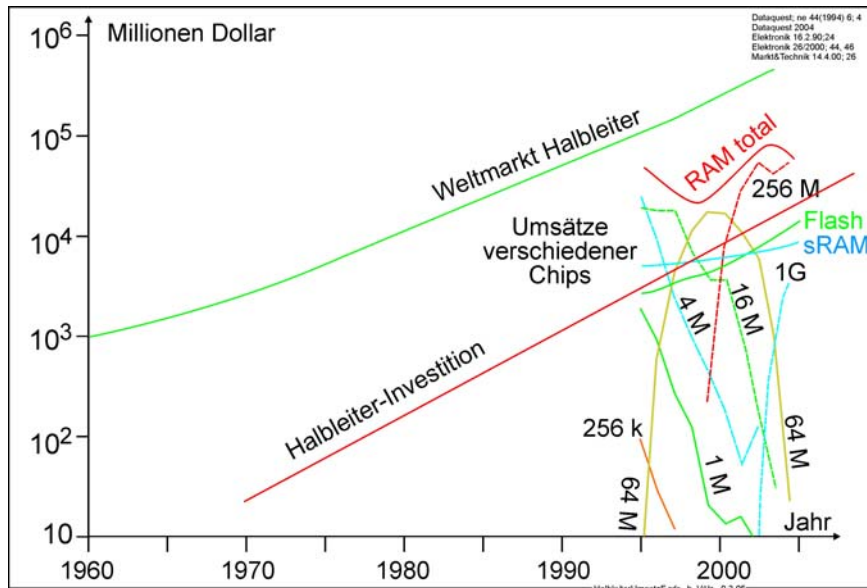
25.11.2010

Seite 175 von 181



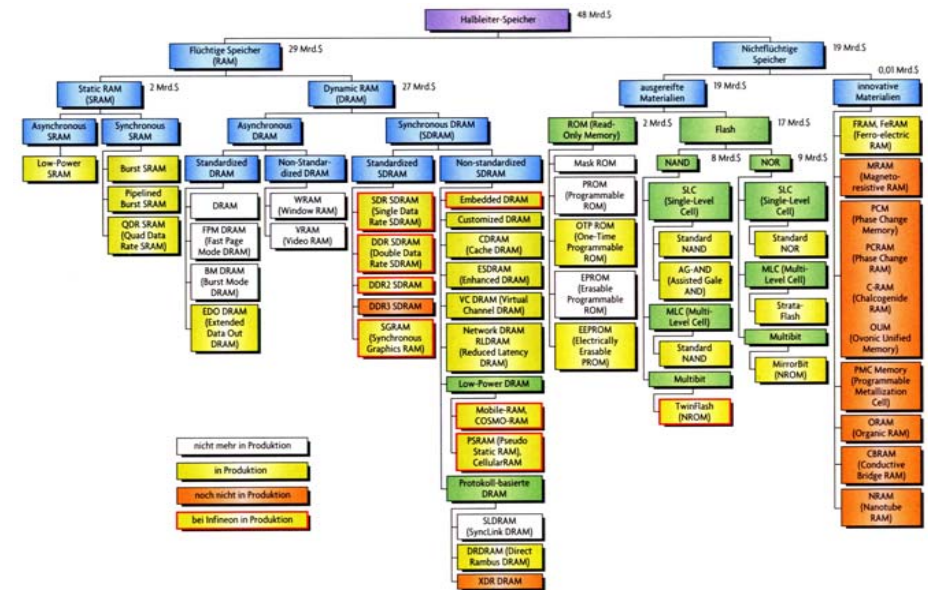
25.11.2010

Seite 176 von 181



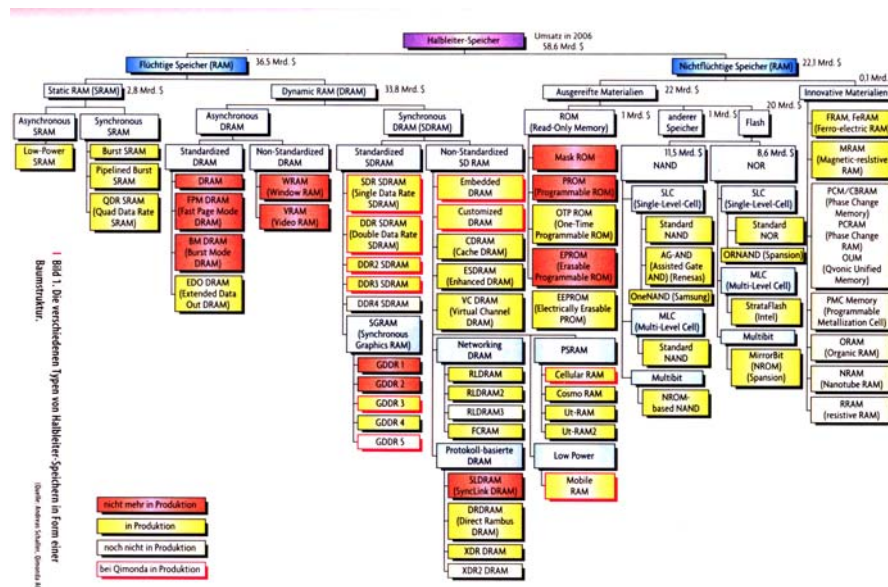
25.11.2010

Seite 177 von 181



25.11.2010

Seite 178 von 181



25.11.2010

Seite 179 von 181

Literatur

- Flik, Th.: Mikroprozessortechnik und Rechnerstrukturen. 7. Aufl. Springer-Verlag, Berlin – Heidelberg 2005
- Krenn, H.; Granitzer, P.: Magnetische Halbleiter. Physik in unserer Zeit **33** (2002) Nr. 5, 218 - 225
- Leon Chua: Memristor, the Missing Circuit Element, IEEE Transactions on Circuit Theory 1971, CT-18 (5) S.507 - 519
- Mueller, S.: PC-Hardware Superbibel. Markt + Technik, München 2005
- Völz, H.: Elektronik - Grundlagen - Prinzipien - Zusammenhänge. 5. Aufl. Akademie Verlag, Berlin 1989
- Völz, H.: Handbuch der Speicherung von Information Bd. 3 Geschichte und Zukunft elektronischer Medien. Shaker Verlag Aachen 2007
- (enthält viel mehr Details und viele Quellenangaben). Neben weiteren Speicherthemen auch vorhanden auf der CD:
- Völz, H.: Wissen - Erkennen - Information. Datenspeicher von der Steinzeit bis ins 21. Jahrhundert. Digitale Bibliothek Bd. 159, Berlin 2007
- Zu Varianten dRAM u.a.: N.N.: „Durchblick im dRAM-Dschungel“. Elektronik 2002, 20, 64 ff.
- Mastipuram, R.: „Der SRAM-Report“. Elektronik 2004, 13, 54 - 58
- N.N.: „Nichts als RAM“. PC-Professional 1996, 5; 226 -228
- Folien von M. Huemer: (download 7.7.05)
- <http://www.lte.e-technik.uni-erlangen.de/download/EPD/Vorlesungsfolien%20EPD%20Kapitel%205%20Handzettel.pdf>
- Zu Varianten sRAM u.a.: SRAM-Report. Elektronik 13/04; 54 + [Flik]
- Zu assoziativen Speichern [VÖL89] u.a.:
- Hilberg, W.: Assoziative Gedächtnisstrukturen - Funktionale Komplexität. R. Oldenbourg München 1984
- Hilberg, W.: Die texturale Sprachmaschine als Gegenpol zum Computer. Verlag Sprache und Technik, Groß - Bieberau, 1990
- Rhein, D.; Freitag, H.: Mikroelektronische Speicher. Springer - Verlag, Wien - New York 1992
- NTG-Fachbericht: Digitale Speicher, Bd. 58. VDE - Verlag, Berlin 1977 S. 339 ff.
- ITG-Fachbericht: Digitale Speicher, Bd. 102. VDE - Verlag, Berlin 1988, S. 365 ff.

25.11.2010

Seite 180 von 181

Zu Soft-Error:

May, T. C. u. Woods, M. H.: Alpha-Particle-Induced Soft Errors in Dynamic Memories. In: IEEE Transactions on Electron Devices ED-26 (1979) H. 1, S. 2 – 9.

Juhnke, T.: Die Soft-Error-Rate von Submikrometer-CMOS-Logikschaltungen. Dissertation, TU Berlin 2003
NTG-Fachbericht: Digitale Speicher, Bd. 58. VDE - Verlag, Berlin 1977: Artikel von Hilberg bzw. Fischer

Zu Telefon-Karte usw.:

Bright, R.: Smart Cards. Ellis Horwood, Chichester 1988

Rankel, W. u. Effing, W.: Handbuch der Chipkarten. 3. Aufl. Hanser, München – Wien 1999

<http://www.ccc.de/~andy/CCC/TRON>

zu Zukunft und Grenzen

Enderlein, R.: Mikroelektronik. Verlag der Wissenschaft Berlin 1986; Spektrum Akadem. Verlag. Heidelberg - Berlin - Oxford 1993

Folberth, O. G.: Hürden und Grenzen bei der Miniaturisierung digitaler Elektronik. Elektronische Rechenanlagen 25 (1983) 6, 45 - 55

Hilberg, W.: Große Herausforderungen in der Informationstechnik. Sprache und Technik, Groß - Biebrau, 2000
Urbanski, Kl.; Woitowitz, R.: Digitaltechnik. Ein Lehr- und Übungsbuch. 4. Aufl. Springer-Verlag, Berlin u.a. 2004

Völz, H.: Elektronik - Grundlagen - Prinzipien - Zusammenhänge. 5. Aufl. Akademie Verlag, Berlin 1989